

# SENSOR ARRAY

**Publication number:** JP2003083932 (A)

**Publication date:** 2003-03-19

**Inventor(s):** NARUSE YUJIRO; SHIGENAKA KEITARO; FUNAKI HIDEYUKI; FUJIWARA IKUO; MASHIO NAOYA; IIDA YOSHINORI

**Applicant(s):** TOKYO SHIBAURA ELECTRIC CO

**Classification:**

**- international:** G01N33/483; C12M1/34; G01N21/76; G01N21/78; G01N27/414; G01N33/00; G01N33/18; G01N33/483; C12M1/34; G01N21/76; G01N21/77; G01N27/403; G01N33/00; G01N33/18; (IPC1-7): G01N27/414; C12M1/34; G01N21/76; G01N21/78; G01N33/00; G01N33/18; G01N33/483

**- European:**

**Application number:** JP20010273751 20010910

**Priority number(s):** JP20010273751 20010910

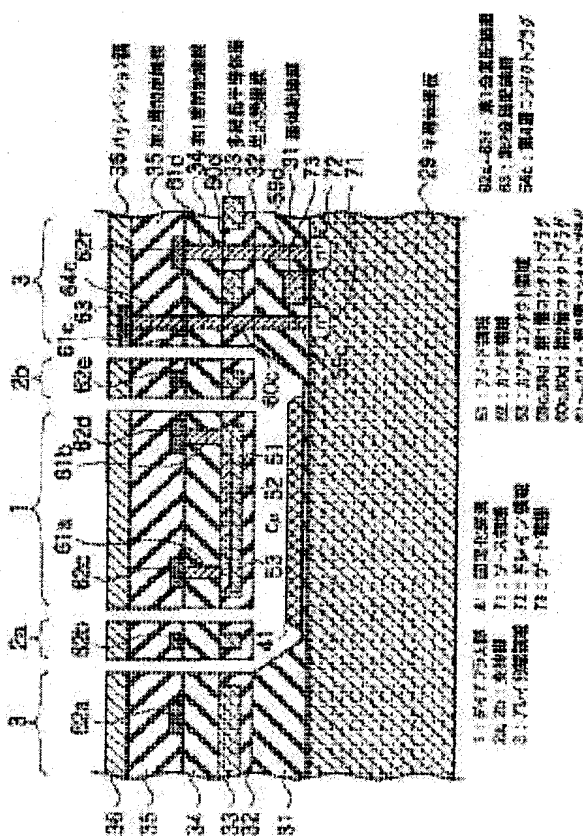
**Also published as:**

JP3688611 (B2)

## Abstract of JP 2003083932 (A)

**PROBLEM TO BE SOLVED:** To provide a sensor array which identifies the kind of a microorganism, a bacterium, a virus, pollen or the like so as to be capable of being quantitatively measured stably when the microorganism, the bacterium, the virus, the pollen or the like coexists in air or water.

**SOLUTION:** A diaphragm part 1 in which a detecting element (a p-n junction diode) Dj,i is arranged is supported in an array isolation region 3 in a hollow state by a first support leg 2a and a second support leg 2b. The detecting element (the p-n junction diode) Dj,i which is composed of an anode region 51, a cathode region 52 and a cathode contact region 53 is housed at the inside of the diaphragm 1 which is used as the lid or the roof of a very small cavity region Cj,i. An immobilized enzyme 41 as a laminar reactant is arranged on the bottom at the inside of the region Cj,i.



**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1]A sensor array comprising:

A substrate.

Two or more microporosity fields arranged this board top or inside this board at array form.

A diaphragm part arranged so that each upper part of a microporosity field of this plurality may be covered.

A support saddle which connects an array isolation region surrounding this diaphragm part, this array isolation region, and said diaphragm part, An interval part which passes said detected object between said diaphragm part and said array isolation region including a sensing element which is arranged inside said diaphragm part, respectively and detects a state in said microporosity field, and two or more bit lines which pass an electrical signal from each of said sensing element.

[Claim 2]The sensor array according to claim 1 providing further heater wiring for controlling temperature in said microporosity field where a sensing element which ran corresponding to said two or more bit lines, respectively, and was connected to said bit line has been arranged, respectively.

[Claim 3]The sensor array according to claim 1 or 2, wherein said sensing element measures either of the PHs of a solution in light generated in said microporosity field, temperature, or said microporosity field.

[Claim 4]A sensor array given in any 1 paragraph of claims 1-3 providing a cap layer characterized by comprising the following further.

It is a wrap fringe part about the upper part of said interval part.

A supporter which a pars basilaris ossis occipitalis is connected to each crowning of said diaphragm part, and supports said fringe part.

[Claim 5]With voltage which possesses further an upper electrode provided in a pars basilaris ossis occipitalis of said fringe part, and a lower electrode which countered this upper electrode and was provided in a crowning of said array isolation region, and is impressed to said upper electrode and said lower electrode. The sensor array according to claim 4 controlling an interval of said fringe part and a crowning of said array isolation region.

[Claim 6]A sensor array given in any 1 paragraph of claims 1-5, wherein said sensing element is a pn junction diode or ion detection FET.

[Claim 7] A sensor array of claim 1-6, wherein a luminescent substrate and photogenic ferment which react to ATP of a microorganism into said microporosity field are arranged given in any 1 paragraph.

---

[Translation done.]

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the biosensor which detects the inside of the air or an underwater microorganism, a cell, a disease germ, bacteria, a virus, plankton, a microorganism, etc., and monitors air (outdoors, interior of a room) or water quality (pathogenic protozoa Cryptosporidium in tap water, water of a river, sea water).

[0002]

[Description of the Prior Art] Conventionally, biosensors, such as an enzyme sensor, a microbial sensor, and an immune sensor, are known. Although an enzyme is a substance which exists in the living body, it is an oxidation reduction type enzyme, transfer enzyme, and the hydrolase that are used as a sensor. For example, the chemical generated combining the special electrode in the enzyme can be measured by an electrode, and the original chemical can be measured from the result. By the glucose sensor which is one of the enzyme sensors, using oxidative enzyme called glucose oxidase, the glucose (grape sugar) in blood is oxidized and the substance and hydrogen peroxide which are called gluconolactone are generated. Glucose concentration can be measured if the enzyme amount of consumption consumed at this reaction is measured with an enzyme electrode.

[0003] A microbial sensor fixes a microorganism instead of an enzyme, and what measures the substance which a microorganism metabolizes with an enzyme electrode is known. Since it will react if an antigen-antibody reaction is used, the antigen taken out from red corpuscles, for example to the poly membrane is fixed and an antigen adheres, and membrane potential is changed, the immune sensor can detect a subject as a potential signal.

[0004] As mentioned above, a biosensor mainly uses a biochemistry reaction and is using various living body related substances according to a measuring object.

[0005]

[Problem(s) to be Solved by the Invention] Thus, while the biosensor can detect the target special material by high sensitivity, when a microorganism, bacteria, a virus, pollen, etc. live together in the inside of the atmosphere, or underwater, measurement becomes complicated, and identification and the stable quantitative measurement of a kind are difficult for it.

[0006] An object of this invention is to provide the sensor array in which the quantitative measurement stabilized identifying the kind is possible when a microorganism, bacteria, a virus, pollen, etc. live together in the inside of the atmosphere, or underwater in view of the above-mentioned problem.

[0007]

[Means for Solving the Problem]to achieve the above objects, this invention -- a (b) board and (\*\*) -- with two or more microporosity fields arranged as an array this substrate top or inside this substrate. (\*\*) A diaphragm part arranged so that each upper part of two or more of these microporosity fields may be covered, (\*\*) an array isolation region surrounding this diaphragm part, and (\*\*) -- with a support saddle which connects this array isolation region and diaphragm part. (\*\*) It is arranged inside a diaphragm part, respectively and let it be a gist to be a sensor array containing a sensing element which detects a state in a microporosity field, and two or more bit lines which pass an electrical signal from each of a (\*\*) sensing element. Here, an interval part which passes a detected object is provided between a diaphragm part and an array isolation region. It means [ "detects a state in a microporosity field" from the below-mentioned explanation so that he can understand ] measuring the amounts of chemical features, such as measurement of physical feature amounts, such as light generated in a microporosity field, and temperature, and PH of a solution in a microporosity field. As an array, an area array (two dimensional array) which has arranged a pixel in the shape of an X-Y matrix, or an linear array (one dimensional array) is also available. As a "substrate", a semiconductor substrate and an insulating substrate are employable. As an insulating substrate, an alumina (aluminum<sub>2</sub>O<sub>3</sub>) board, an aluminum nitride (AlN) board, etc. besides an oxide film (SiO<sub>2</sub>) board, i.e., a glass substrate, are employable. On the other hand, a SOI substrate is also contained in a semiconductor substrate. For example, it becomes the structure which formed an array of a microporosity field on a semiconductor substrate, and formed a sensing element (sensor) for carrying out sensing of the state in each microporosity field in the upper part. Of course, it is preferred that amplification or an electronic circuit part for carrying out a transfer output is integrated in one on the same semiconductor substrate in a signal which carried out sensing of the state of each microporosity field.

[0008]Generally, ecology of a microorganism is complicated and environment to increase is various. However, about a size, it has the feature peculiar to a microorganism. For example, they are Cryptosporidium (pathogenic protozoa) -5micrometer, Escherichia coli -3micrometer, Staphylococcus -1micrometer, and virus -0.1micrometer. According to the feature of this invention, it is possible to derive forming a spatial filter which has a specific opening size on the surface of a semiconductor substrate by a semiconductor process, forming a microporosity field in the bottom of it, and sorting out a microorganism by using as a filter an interval part which passes a detected object.

[0009]In the feature of this invention, it is preferred that a luminescent substrate and photogenic ferment which react to adenosine triphosphate (ATP) of a microorganism into a microporosity field arrange. If a luminescent substrate and photogenic ferment arrange beforehand and an enzyme or a culture ingredient is supplied in a microporosity field, it will increase there and a derived microorganism will induce luminescence (bio-luminescence) or a rise in heat (growth thermogram). What is necessary is just to measure these by a sensing element. A sensing element has a pn junction diode (photo-diode) which detects luminescence, or a preferred pn junction diode which detects a rise in heat with an I/V characteristic abnormal-conditions type. Or ion detection FET which detects PH may be sufficient. Thus, if it sets, it will become possible to make it correspond to a kind of microorganism and to visualize existing density of a microorganism with matrix expression etc. in real time, identifying a kind of microorganism which exists in the air or underwater.

[0010]In the feature of this invention, it is preferred to provide further heater wiring for

controlling temperature in a microporosity field where a sensing element which ran corresponding to two or more bit lines, respectively, and was connected to a bit line has been arranged, respectively. By controlling temperature of a microporosity field by heater wiring, it is possible to sort out a microorganism.

[0011]The upper part of an interval part is connected to a wrap fringe part and each crowning of a diaphragm part in a pars basilaris ossis occipitalis, and it may be made to provide further a cap layer which consists of a supporter which supports a fringe part in the feature of this invention. A supporter of this cap layer comprises a skirt part which connects a center section where a pars basilaris ossis occipitalis was connected to each crowning of a diaphragm part, and a fringe part and a center section. Since a center section of the cap layer constitutes a bottom of a crevice surrounded by skirt part, it is also possible by arranging the quality of a culture of a microorganism in this center section to measure growth thermogram. If a hole of a predetermined caliber is provided in a fringe part, this hole can be used as a filter into which size of a suspended particle is classified. And if an upper electrode provided in a pars basilaris ossis occipitalis of a fringe part and a lower electrode which countered this upper electrode and was provided in a crowning of an array isolation region are provided further, voltage impressed to an upper electrode and a lower electrode will enable it to control an interval of a fringe part and a crowning of an array isolation region.

[0012]

[Embodiment of the Invention]Next, with reference to drawings, the 1st thru/or a 4th embodiment of this invention is described. In the statement of the following drawings, identical or similar numerals are given to the identical or similar portion. However, a drawing is typical and it should care about that the ratio of the relation between thickness and a plane size and the thickness of each class differs from an actual thing. Therefore, concrete thickness and size should be judged in consideration of the following explanation. Of course, the portion from which the relation and ratio of a mutual size differ also in between drawings is contained.

[0013](A 1st embodiment) As shown in drawing 1, the sensor array concerning a 1st embodiment of this invention Two or more bit line  $B_{i-1}$ ,  $B_i$ ,  $B_{i+1}$ , ..... Two or more of these bit line  $B_{i-1}$ ,  $B_i$ ,  $B_{i+1}$ , ..... Two or more word line  $W_{j-1}$  which is boiled, and it receives and carries out the distraction perpendicularly,  $W_j$ ,  $W_{j+1}$ , Two-dimensional arrangement of microporosity field  $C_j$  which constitutes a pixel (pixel) inside the lattice constituted by ..., respectively,  $i-1$ ,  $C_{j,i}$ ,  $C_{j,i+1}$ ,  $C_{j+1,i-1}$ ,  $C_{j+1,i}$ ,  $C_{j+1,i+1}$ , and ..... is carried out. Microporosity field  $C_{j,i-1}$ ,  $C_{j,i}$ ,  $C_{j,i+1}$ ,  $C_{j+1,i-1}$ ,  $C_{j+1,i}$ ,  $C_{j+1,i+1}$ , Inside ..., reactant  $X_{j,i-1}$ ,  $X_{j,i}$ ,  $X_{j,i+1}$ ,  $X_{j+1,i-1}$ ,  $X_{j+1,i}$ ,  $X_{j+1,i+1}$ , and ..... are arranged according to the microorganism used as the candidate for detection. Each end of two or more bit line  $B_{i-1}$ ,  $B_i$ ,  $B_{i+1}$ , and ..... is connected to the power supply V0. Each other end of two or more bit line  $B_{i-1}$ ,  $B_i$ ,  $B_{i+1}$ , and ..... is connected to the 1st main electrode (drain electrode) of level switch transistor  $Q_{i-1}$ ,  $Q_i$ ,  $Q_{i+1}$ , and ..... Each control electrode (gate electrode) of level switch transistor  $Q_{i-1}$ ,  $Q_i$ ,  $Q_{i+1}$ , and ..... is connected to the horizontal shift register 102. The 2nd main electrode (source electrode) of level switch transistor  $Q_{i-1}$ ,  $Q_i$ ,  $Q_{i+1}$ , and ..... is connected to the horizontal signal line 104. Two or more word line  $W_{j-1}$ ,  $W_j$ , and  $W_{j+1}$  and ..... are connected to the vertical shift register 101, respectively.

[0014]Microporosity field  $C_{j,i-1}$ ,  $C_{j,i}$ ,  $C_{j,i+1}$ ,  $C_{j+1,i-1}$ ,  $C_{j+1,i}$ ,  $C_{j+1,i+1}$ , Inside [ each ] ....., sensing element (pn junction diode)  $D_{j,i-1}$ ,  $D_{j,i}$ ,  $D_{j,i+1}$ ,  $D_{j+1,i-1}$ ,  $D_{j+1,i}$ ,  $D_{j+1,i+1}$ , and ..... are arranged. Pn junction diode  $D_{j,i-1}$ ,  $D_{j,i}$ ,  $D_{j,i+1}$ ,  $D_{j+1,i-1}$ ,  $D_{j+1,i}$ ,  $D_{j+1,i+1}$ , ..... is connected to the 1st main electrode (drain electrode) of vertical switching transistor  $T_j$  corresponding, respectively,  $i-1$ ,  $T_{j,i}$ ,  $T_{j,i+1}$ ,  $T_{j+1,i-1}$ ,  $T_{j+1,i}$ ,  $T_{j+1,i+1}$ , and ..... The 2nd main electrode (source electrode) of vertical switching transistor  $T_j$  [ belonging to the sequence (column) which adjoined bit line  $B_{i-1}$  ],  $i-1$ ,  $T_{j+1,i}$ , and  $i-1$ , and ..... is connected to bit line  $B_{i-1}$ . The 2nd main electrode (source electrode)

of vertical switching transistor  $T_j$  belonging to the sequence (column) which adjoined bit line  $B_i$ ,  $T_{j+1, i}$ , and ..... is connected to bit line  $B_i$ . The 2nd main electrode (source electrode) of vertical switching transistor  $T_j$  belonging to the sequence (column) which adjoined bit line  $B_{i+1, i+1}$ ,  $T_{j+1, i+1}$ , and ..... is connected to bit line  $B_{i+1}$ . word line  $W_j$  was adjoined -- the control electrode (gate electrode) of vertical switching transistor  $T_j$  belonging to a line,  $T_{j, i}$ ,  $T_{j, i+1}$ , and ..... is connected to word line  $W_j$ . The control electrode (gate electrode) of vertical switching transistor  $T_{j+1}$  belonging to the line which adjoined word line  $W_{j+1, i-1}$ ,  $T_{j+1, i}$ ,  $T_{j+1, i+1}$ , and ..... is connected to word line  $W_{j+1}$ .

[0015] It is parallel to bit line  $B_{i-1}$ ,  $B_i$ ,  $B_{i+1}$ , and ....., and line width  $\delta_{i-1}$ ,  $\delta_i$ , and  $\delta_{i+1}$ , vertical heater-wires  $V_{i-1}$  of .....,  $V_i$ ,  $V_{i+1}$ , and ..... are running. The ends of vertical heater-wires  $V_{i-1}$ ,  $V_i$ ,  $V_{i+1}$ , and ..... gather to the level heater wires  $V_t$ , and are connected to the power supply 103 for heaters. The other ends of vertical heater-wires  $V_{i-1}$ ,  $V_i$ ,  $V_{i+1}$ , and ..... gather to the level heater wires  $V_b$ , and are grounded. Each line width of vertical heater-wires  $V_{i-1}$ ,  $V_i$ ,  $V_{i+1}$ , and .....  $\delta_{i-1} > \delta_i > \delta_{i+1}$  ..... (1)

what is done -- vertical heater-wires  $V_{i-1}$ ,  $V_i$ ,  $V_{i+1}$ , and ---- each resistance of - .....  $r_{i-1} < r_i < r_{i+1}$  --  $< \dots$  (2)

It becomes. Therefore, calorific value  $P_i$  of heater wires will be  $P_i = (V_h)^2 / r_i$  if voltage of the power supply 103 for heaters is made into  $V_h$  ..... (3)

since it is come out and given -- each temperature of vertical heater-wires  $V_{i-1}$ ,  $V_i$ ,  $V_{i+1}$ , and .....  $T_{i-1} > T_i > T_{i+1}$  ..... (4)

It becomes.

[0016] Drawing 2 is a plan (top view) of a pixel which has microporosity field  $C_{j \text{ and } i}$ . The pixel of the sensor array concerning a 1st embodiment of this invention is provided with the following. The diaphragm part 1 arranged so that the upper part of microporosity field  $C_{j \text{ and } i}$  may be covered.

The array isolation region 3 surrounding this diaphragm part 1.

The 1st support saddle 2a, the 2nd support-saddle 2b which connect this array isolation region 3 and diaphragm part 1.

The interval parts 47a, 47b, 47c, and 47d which have been arranged inside the diaphragm part 1, respectively, adjoined microporosity field  $C_{j, D(pn \text{ junction diode}) j}$  which detects the state in  $i, i'$  and the diaphragm part 1, and were provided in each of microporosity field  $C_{j \text{ and } i}$ .

As shown in drawing 2, by supporting sensing element  $D_{j \text{ and } i}$  to the array isolation region 3 by hollow shape voice, it dissociates from the temperature of the semiconductor substrate used as the base of a pixel thermally, and becomes possible about the exact temperature survey by sensing element  $D_{j \text{ and } i}$ . Size  $R_j$  of one side of the square (interval part) of the corner part which the slot 47a through which microporosity field  $C_{j \text{ of drawing 2 and } i}$  are looked into, and the slot 47c combine, Size  $R_j$  of one side of the square (interval part) of the corner part which the slot 47b and the slot 47d combine serves as an opening size of the microorganism selection filter with which the size was determined in consideration of the size of a detected object.

[0017] Drawing 3 is the sectional view which met in the direction of A-A of drawing 2, and The substrate (semiconductor substrate) 29, Microporosity field  $C_i$  arranged as an array on this substrate (semiconductor substrate) 29, and  $j'$ . The diaphragm part 1 arranged so that the upper part of this microporosity field  $C_i$  and  $j$  may be covered, The support saddle 2a which connects the array isolation region 3 surrounding this diaphragm part 1, and this array isolation region 3 and diaphragm part 1, and 2b, The sensing element (51, 52, 53) which is arranged inside the diaphragm part 1, respectively and detects the state in microporosity field  $C_i$  and  $j'$ . The structure of the pixel which consists of an interval part which passes a detected object where adjoined the diaphragm part 1, it was

provided in each of microporosity field  $C_{i \text{ and } j}$ , and the size was determined in consideration of the size of a detected object is shown. It is shown that sensing element (pn junction diode)  $D_{j \text{ and } i}$  which consists of the anode region 51, the cathode region 52, and the cathode contact field 53, and  $i$  are stored inside the diaphragm part 1 used as the lid of microporosity field  $C_{i \text{ and } j}$  or a roof. The immobilized enzyme 41 which is stratified reactant  $X_{j \text{ and } i}$  is arranged at the pars basilaris ossis occipitalis inside microporosity field  $C_{j \text{ and } i}$ . Reactant  $X_{j \text{ and } i}$  are chosen according to the microorganism used as the candidate for detection. Microporosity field  $C_{i \text{ and } j}$  are constituted as a crevice which removed selectively some base insulator layers 31 arranged on the surface of the p type semiconductor substrate (silicon substrate) 29. Drawing 3 shows the case where the anode region 51 of pn junction diode  $D_{j \text{ and } i}$ , the cathode region 52, and the cathode contact field 53 comprise polysilicon ("doped polysilicon" is told to below.) which doped the impurity, respectively. If a SOI substrate etc. are used so that it may mention later, it is possible to constitute sensing element (pn junction diode)  $D_{j \text{ and } i}$  from a single crystal semiconductor layer (single crystal silicon layer) instead of doped polysilicon. Although vertical switching transistor  $T_{j \text{ and } i}$  (71, 72, 73) are arranged near the surface inside the p type semiconductor substrate (silicon substrate) 29 in the example shown in drawing 3, it is also possible to constitute on the same level level as sensing element  $D_{j \text{ and } i}$ . [0018] Namely, vertical switching transistor  $T_{j \text{ and } i}$ . The gate oxide of the surface of the p type semiconductor substrate 29 between the n type source region 71 arranged near the surface inside the p type semiconductor substrate (silicon substrate) 29, the n type drain regions 72, and these n type source regions 71 and n type drain regions 72, It comprises the polysilicon gate electrode 73 on gate oxide. The polysilicon gate electrode 73 of this vertical switching transistor  $T_{j \text{ and } i}$  is functioning as word line  $W_j$  simultaneously. Therefore, to the adjoining pixel, vertical switching transistor  $T_{j-1, i}$ ,  $T_{j+1, i}$ , word line  $W_{j-1}$  that is the polysilicon gate electrodes of ...,  $W_{j+1}$ , and ... are running similarly.

[0019] And the base insulator layer 31 which functions on the upper part of this vertical switching transistor  $T_{j-1, i}$ ,  $T_{j, i}$ ,  $T_{j+1, i}$  and ... as an interlayer insulation film is arranged. As mentioned above, a part of this base insulator layer 31 is removed selectively, and that removed space constitutes microporosity field  $C_{i \text{ and } j}$  concerning a 1st embodiment of this invention, and  $j$ . two or more 1st layer [ insulator layer / 31 / which is located in the side-attachment-wall side of microporosity field  $C_{i \text{ and } j}$  / base ] contact plugs 59c and 59d and ... (connected conductors) -- 59c, 59 d, and ... are embedded so that the base insulator layer 31 may be penetrated. Two or more 1st layer contact plugs 59c and 59d and ... are the connected conductors embedded at the base insulator layer 31 connected to other transistors which constitute the n type source region 71, the n type drain region 72, or peripheral circuit which constitutes vertical switching transistor  $T_{j \text{ and } i}$ .

[0020] The embedded insulator layer 32 is arranged as the lid or roof of microporosity field  $C_{i \text{ and } j}$  in the upper part of microporosity field  $C_{i \text{ and } j}$ . On the sectional view of drawing 3, the embedded insulator layer 32 is shown as if it was divided into the central diaphragm part 1, the support-saddle part 2a of the both sides of the diaphragm part 1, 2b, the support-saddle part 2a, and the array isolation region 3 of the both sides of 2b. However, as a plane pattern, the diaphragm part 1, the support-saddle part 2a, 2b, and the array isolation region 3 are continuous fields of one so that clearly [ drawing 2 ]. A slot is established in the embedded insulator layer 32, and the polycrystalline semiconductor layer ( $p^+$  type doped polysilicon) 33 is embedded to the inside of this slot. The  $p^+$  type doped polysilicon embedded to the inside of the embedded insulator layer 32 of the central diaphragm part 1, It is the anode region 51 of sensing element (pn junction diode)  $D_{j \text{ and } i}$ , and the cathode region 52 which consists of n type doped polysilicon is selectively arranged on the surface of the anode region 51, and constitutes pn junction. The

cathode contact field 53 which furthermore consists of  $n^+$  type doped polysilicon is selectively arranged on the surface of the cathode region 52, and constitutes pn junction diode  $D_{j \text{ and } i}$  from the anode region 51, the cathode region 52, and the cathode contact field 53. Inside, two or more 2nd layer contact plugs 60c and 60d and .... (connected conductors) penetrate the embedded insulator layer 32 to the inside of the embedded insulator layer 32 of the array isolation region 3, and are embedded. The 2nd layer contact plugs 60c and 60d and .... are electrically connected to the n type source region 71 and the n type drain region 72 grade via the 1st layer contact plugs 59c and 59d and ....., respectively.

[0021]The 1st interlayer insulation film 34 is arranged in the upper part of the embedded insulator layer 32 which it was inserted into the cathode contact field 53, the cathode region 52, the  $p^+$  type doped polysilicon 33, and these, and was exposed. On the 1st interlayer insulation film 34, the 1st metallic wiring layer 62a, 62b, ....., 62f is arranged. The 1st metallic wiring layer 62c and the cathode contact field 53 are connected by the 3rd layer contact plug 61a which penetrates the 1st interlayer insulation film 34. 62 d of the 1st metallic wiring layer and the anode region 51 are connected by the 3rd layer contact plug 61b which penetrates the 1st interlayer insulation film 34. Make the anode region 51 into the p type doped polysilicon field of comparatively low impurity density, and the 3rd layer contact plug 61b, It may be made to connect via the anode contact field which consists of  $p^+$  type doped polysilicon of comparatively high impurity density selectively formed in a part of anode region 51. 62 f of the 1st metallic wiring layer and the n type drain region 72 of vertical switching transistor  $T_{j \text{ and } i}$  are electrically connected via the 3rd more layer contact plug 61d, the 2nd layer contact plug 60d, and the 1st layer contact plug 559d. Although the 1st metallic wiring layer 62c, 62e, and 62f is shown like the independent wiring on the sectional view of drawing 3, on a plane pattern, the 1st metallic wiring layer 62c, 62e, and 62f is one continuous electric wiring. Therefore, via the 1st metallic wiring layer 62c, 62e, and 62f, the 3rd layer contact plug 61d, the 2nd layer contact plug 60d, and the 1st layer contact plug 59d, The cathode contact field 53 of pn junction diode  $D_{j \text{ and } i}$  and the n type drain region 72 of vertical switching transistor  $T_{j \text{ and } i}$  are electrically connected (refer to the equivalent circuit of drawing 1).

[0022]The 2nd interlayer insulation film 35 is arranged in the metallic wiring layer [ 1st /a / 62 /,b / 62 /, ....., 62f ] upper part. The 2nd metallic wiring layer 63 is arranged on the 2nd interlayer insulation film 35. In drawing 3, it is drawn as the 2nd metallic wiring layer 63 is running perpendicularly at space, but it becomes space and a pattern of parallel bit line  $B_i$  in practice. Namely, bit line  $B_i$  is running in the direction which intersects perpendicularly with the polysilicon gate electrode 73 (word line  $W_j$ ). To the inside of the 2nd interlayer insulation film 35, the 4th layer contact plug 64c which penetrates the 2nd interlayer insulation film 35 is embedded (graphic display abbreviation). The 4th layer contact plug 64c is connected to the crowning of the 3rd layer contact plug 61c. Therefore, the 2nd metallic wiring layer 63 (bit line  $B_i$ ), It is electrically connected to the n type source region 71 of vertical switching transistor  $T_{j \text{ and } i}$  via the 4th layer contact plug 64c, the 3rd layer contact plug 61c, the 2nd layer contact plug 60c, and the 1st layer contact plug 59c. Although the graphic display is omitted, bit line  $B_{i-1}$ ,  $B_{i+1}$ , and .... are running by being formed of the 2nd metallic wiring layer also to the adjoining pixel. Bit line  $B_{i-1}$ ,  $B_i$ ,  $B_{i+1}$ , ....It is parallel and Line width  $\Delta_{i-1}$ ,  $\Delta_i$ ,  $\Delta_{i+1}$ , Although vertical heater-wires  $V_{i-1}$ ,  $V_i$ ,  $V_{i+1}$ , and .... are running as the 2nd metallic wiring layer of ....., it has not appeared in the sectional view of drawing 3 (it is running this side of space, and the back in parallel with space.). You may run heater-wires  $V_{i-1}$ ,  $V_i$ ,  $V_{i+1}$ , and .... in parallel with space using wiring of the 1st metallic wiring layer 62a-62f and an identical level. And the passivation film 36

is arranged in the upper part of the 2nd metallic wiring layer 63.

[0023]The embedded insulator layer 32 of the upper part of microporosity field  $C_{i \text{ and } j}$ , sensing element (pn junction diode)  $D_{j,i}$  (51, 52, 53), The diaphragm part 1 consists of the 1st interlayer insulation film 34, the 1st metallic wiring layer (62c, 62d), the 2nd interlayer insulation film 35, and the passivation film 36. What is necessary is just to select the calorific capacity  $C$  of the diaphragm part 1 to a  $C = 0.01\text{--}0.1\text{microJ/K}$  grade, for example. And this diaphragm part 1 is being fixed to the array isolation region 3 by the support saddles 62a and 62b of hollow shape voice. Enzymes, such as luciferin luciferase, are arranged as reactant  $X_{i \text{ and } j}$  with the gestalt of the immobilized enzyme 41 wrapped in by the polymer material at the pars basilaris ossis occipitalis of microporosity field  $C_{i \text{ and } j}$ .

[0024]Generally a microorganism has a peculiar size corresponding to the kind. For example, as for  $-5\text{micrometer}$  and *Escherichia coli*,  $-1\text{micrometer}$  and the virus of  $-3\text{micrometer}$  and *Staphylococcus* are [ *Cryptosporidium* (pathogenic protozoa) ]  $-0.1\text{micrometers}$ . Therefore, if the spatial filter which has specific opening size  $R_j$  is provided in the surface of the semiconductor substrate 29 as shown in drawing 2, while this spatial filter sorts out the size of a microorganism, it can derive to microporosity field  $C_i$  under it, and  $j$ . Since reactant  $X_i$  of the immobilized enzyme (or culture ingredient) 41 grade corresponding to a specific microorganism and  $j$  are beforehand arranged as shown in drawing 3 in microporosity field  $C_{i \text{ and } j}$ , increasing the derived microorganism by reactant  $X_{i \text{ and } j}$  -- luminescence (bio-luminescence) -- or a rise in heat (growth thermogram) is carried out.

[0025]For example, it explains by the case where luciferin luciferase (a luminescent substrate and photogenic ferment) is being fixed, as reactant  $X_{i \text{ and } j}$ . In this case, a detection object will be  $\alpha + \beta \Rightarrow \text{hnu}$  if ATP (adenosine triphosphate) and hnu with which it is a microorganism in the air, and luciferin luciferase (a luminescent substrate and photogenic ferment) takes out  $\alpha$ , and a microorganism takes out  $\beta$  are considered as visible luminescence.... (5)

Pn junction diode  $D_j$  currently formed near the bottom surface of a diaphragm in the luminescence hnu of \*\*\*\*\*  $i-1, D_{j,i}, D_{j,i+1}, D_{j+1,i-1}, D_{j+1,i}, D_{j+1,i+1}, \dots$  is operated as a photo-diode (photosensor) and luminescence hnu is changed into current by pn junction diode  $D_{j,i-1}, D_{j,i}, D_{j,i+1}, D_{j+1,i-1}, D_{j+1,i}, D_{j+1,i+1}, \dots$ . The random access of this current (electrical signal) is carried out with the vertical shift register 101 and the horizontal shift register 102, and it can be read to the horizontal signal line 104 via level switch transistor  $Q_{i-1}$  shown in drawing 1,  $Q_i$ ,  $Q_{i+1}$ , and ....

[0026]For example, if opening size  $R_j$  is set as 5 micrometers, the air bacilli (fusarenon-X contagion, IMOCHI contagion, pneumococci, *Staphylococcus*, etc.) below the size are detectable. By carrying out random access with the vertical shift register 101 and the horizontal shift register 102 which are shown in drawing 1, the current signal from each pixel cell is the same method as the usual CMOS image sensor, and can perform imaging. By performing imaging, it can be judged with what mind semi-gross density an air bacillus exists. That is, it is quantitatively measurable in the probable phenomenon in which an air bacillus enters in a microporosity field.

[0027]Various sizes not only exist, but especially an air bacillus has temperature dependence in the optimal environment for increasing. Therefore, microporosity field  $C_{11}, C_{12}$  which constitute a pixel (pixel) as shown in drawing 4 (b), ...,  $C_{21}, \dots$ . Measurement temperature  $T_1$  of  $C_{MN}, T_2, T_3, \dots, T_N$ , opening size  $R_1, R_2, R_3, \dots$ . If  $R_M$  is combined with matrix form, an air bacillus Measurement temperature  $T_1, T_2, T_3, \dots$ . It is possible to carry out simultaneous measurement and to carry out two-dimensional imaging of the classification, classifying according to ...,  $T_N$ , and opening size  $R_1, R_2, R_3, \dots$  and  $R_M$ .

[0028]Classifying an air bacillus into four kinds, simultaneous measurement is carried out and

drawing 4 (a) shows the example which carried out two-dimensional imaging. in drawing 4 (a) -- the field A -- a size -- 1 micrometer or less -- ATP discharge type bacteria and the field B -- a size -- 5 micrometers or less -- ATP discharge type bacteria and the field C -- a size is carried out at 1 micrometer or less, and, in synthetic culture medium S vegetative form bacteria and the field D, a classification indication of the size is given as synthetic culture medium S vegetative form bacteria at 5 micrometers or less. In the field A and the field B, the photogenic ferment R or the luminescent substrate R is arranged as reactant  $X_{i \text{ and } j}$ . To the field A and the field B, pn junction diode  $j \text{ and } i$  are operated as a photosensor for bio-luminescence measurement. To the field C and the field D, pn junction diode  $D_{j \text{ and } i}$  are operated as a temperature sensor (IV characteristic abnormal-conditions type diode) for growth thermogram measurement.

[0029] Since the metabolism heat of a typical microorganism is 10pJ per piece, if 1000 microorganisms are propagating, the generating energy S will be set to  $S = 0.01 \text{ microJ}$ . When this is observed on the diaphragm of calorific capacity J/K of  $C = 0.1 \text{ micro}$ , temperature-change  $\Delta T$  is  $\Delta T = S/C = 0.1 \text{ K}$ ..... (6)

Since it becomes a value of a grade, it is detectable temperature-change  $\Delta T$  easily in pn junction diode  $D_{j \text{ and } i}$ .

[0030] As mentioned above, it becomes possible to visualize the existing density classified into real time according to the size of the microorganism as a two-dimensional picture, identifying conventionally the kind of microorganism which exists in [ difficult / air or underwater ] by the sensor array concerning a 1st embodiment of this invention. The activity of a microorganism and the temporal response of a vegetative state are image-ized on a two-dimensional picture, and it becomes measurable.

[0031] Paying attention to the pixel of microporosity field  $C_{i \text{ and } j}$ , the manufacturing method of the sensor array concerning a 1st embodiment of this invention is explained using drawing 5 - drawing 7. The manufacturing method of the sensor array described below is an example, and it is needless to say for it to be able to realize with various manufacturing methods other than this including this modification.

[0032](\*\*) Prepare first the p type silicon wafer which makes the field (100) about 0.1-3-ohmcm a main table side as the semiconductor substrate 29. The peripheral circuit of sensor arrays, such as a shift register and a sense amplifier, is formed in the main table side of this semiconductor substrate 29. This should just be based on the manufacturing method of the usual standard MOS IC. Although omitted for details, after forming a field required for standard MOS ICs, such as a reversal prevention layer (channel stopping area) and an isolation region, the surface of the semiconductor substrate 29 is oxidized thermally and the 50 nm - 100 nm-thick gate oxide 42 is formed. Under the present circumstances, a  $V_{th}$  control ion implantation may be added. Next, 300 nm - about 600 nm of polysilicon films [ 400 nm of ] 43 are deposited with a CVD method the whole surface on the gate oxide 42, for example. Next, spin spreading of the photoresist film ("photoresist" is only told to below.) 201 is carried out on the surface of the polysilicon film 43. And with photolithography technology, as shown in drawing 5 (a), the photoresist 201 is patterned. And the polysilicon film 43 is etched by reactive ion etching (RIE) etc. by using this photoresist 201 as a mask, and the gate electrode 73 and polysilicon wiring (not shown) are formed. Then, the photoresist 201 is removed and spin spreading of the new photoresist is carried out on the surface of the gate electrode 73. And next, using photolithography technology, the opening for ion implantations is formed in a MOS transistor formation region, and the polysilicon gate electrode 73 is exposed. And the ion implantation of the arsenic ion ( $^{75}\text{As}^+$ ) is carried out to the order of dose  $10^{15} \text{ cm}^{-2}$  in self align by

using the exposed polysilicon gate electrode 73 and new photoresist as a mask. At this time, the ion implantation of the arsenic ( $^{75}\text{As}^+$ ) is carried out also to the polysilicon gate electrode 73. After removing new photoresist, the semiconductor substrate 29 is heat-treated. The poured-in impurity ion is activated and diffused, as shown in drawing 5 (b), the n type source region 71 and the n type drain region 72 are formed in the semiconductor substrate 29, and as a result, vertical switching transistor  $T_{j \text{ and } i}$  are formed. The polysilicon gate electrode 73 of vertical switching transistor  $T_{j \text{ and } i}$  functions as word line  $W_j$ . Therefore, to the adjoining pixel, vertical switching transistor  $T_{j-1, i}$ ,  $T_{j+1, i}$ , word line  $W_{j-1}$  that is the polysilicon gate electrodes of ...,  $W_{j+1}$ , and ... are running similarly.

[0033](\*\*) Next, as shown in drawing 5 (b), deposit on about 1 micrometer in thickness the base insulator layer 31 which functions as an interlayer insulation film to the MOS IC of vertical switching transistor  $T_{j-1, i}$ ,  $T_{j, i}$ ,  $T_{j+1, i}$ , ..., or a peripheral circuit. This base insulator layer 31 is the bipolar membrane which comprised two-layer structure of the oxide film of about 0.5 micrometer of thickness deposited with the CVD method, the PSG film of about 0.5 micrometer of thickness on this oxide film, or a BPSG film. A reflow of the BPSG film of the upper layer of this bipolar membrane is carried out, and flattening of the surface of the base insulator layer 31 is carried out.

[0034](\*\*) Next, carry out spin spreading of the photoresist on the base insulator layer 31. And photoresist is patterned with photolithography technology. The opening of the contact hole to the n type source region 71 and the n type drain region 72 which does not etch and illustrate the base insulator layer 31 by RIE by using this patterned photoresist as a mask is carried out. The photoresist used for the contact hole opening is removed, and spin spreading of the new photoresist is carried out on the base insulator layer 31. And new photoresist is patterned with photolithography technology. The base insulator layer 31 is etched by isotropic etching by using this patterned new photoresist as a mask, and microporosity field  $C_{i \text{ and } j}$  are formed. The about 100-nm base insulator layer 31 is made to remain at the pars basilaris ossis occipitalis of microporosity field  $C_{i \text{ and } j}$ . And the 1.2-1.5-micrometer-thick cavernous material (polysilicon) 44 is deposited using a CVD method so that contact hole and microporosity field  $C_{i \text{ and } j}$  may be buried. When depositing the polysilicon 44 using a CVD method, simultaneously with the mono silane ( $\text{SiH}_4$ ) of source gas, the diborane ( $\text{B}_2\text{H}_6$ ) diluted with hydrogen gas is added, controlling by a massflow controller, and the  $p^+$  type doped polysilicon 44 is deposited. Or it is good as for  $p^+$  type doped polysilicon 44 to diffuse p type impurities, such as boron (B), after depositing the non-doped polysilicon 44 by an ion implantation or gaseous phase diffusion (it is a position at pre). And using chemical mechanical polishing (CMP), flattening is carried out until the base insulator layer 31 exposes the surface of the cavernous material ( $p^+$  type doped polysilicon) 44, and the cavernous material ( $p^+$  type doped polysilicon) 44 is embedded to the inside of contact hole and microporosity field  $C_{i \text{ and } j}$ . The  $p^+$  type doped polysilicon 44 with which the inside of a contact hole was buried and loaded functions as the 1st layer contact plugs (connected conductors) 59c and 59d and ... to the n type source region 71 and the n type drain region 72. Then, as shown in drawing 5 (c), the embedded insulator layer 32 is deposited on about 1 micrometer in thickness. What is necessary is just to deposit an oxide film with a CVD method as this embedded insulator layer 32.

[0035](\*\*) Next, on this embedded insulator layer 32, carry out spin spreading of the photoresist and pattern photoresist with photolithography technology. The embedded insulator layer 32 is etched by RIE by using this patterned photoresist as a mask, and the opening of the 1st layer contact plugs 59c and 59d and the 1st layer viahole (graphic display abbreviation)

connected to —, respectively is carried out. The photoresist used for the opening of the 1st layer viahole is removed, and spin spreading of the new photoresist 202 is carried out on the embedded insulator layer 32. And the photoresist 202 is patterned with photolithography technology. The embedded insulator layer 32 is etched by RIE by using this patterned photoresist 202 as a mask, and as shown in drawing 5 (d), the slots 45a, 45b, ..., 45f are formed to the embedded insulator layer 32. The about 100-nm embedded insulator layer 32 is made to remain at each slots [ 45a, 45b, ..., 45f ] pars basilaris ossis occipitalis.

[0036](\*\*) And deposit the 1.0–1.5-micrometer-thick polycrystalline semiconductor layer (polysilicon) 33 using a CVD method so that the 1st layer viahole (graphic display abbreviation) linked to the slots 45a, 45b, ..., 45f, the n type source region 71, and the n type drain region 72 may be buried. When depositing the polysilicon 33 using a CVD method, like the above-mentioned simultaneously with  $\text{SiH}_4$ . It is good as for  $\text{p}^+$  type doped polysilicon 33 to add  $\text{B}_2\text{H}_6$ , deposit the  $\text{p}^+$  type doped polysilicon 33 in INSHITSU (inch-situ), and diffuse a p type impurity after depositing the non-doped polysilicon 33. Carry out flattening until the embedded insulator layer 32 exposes the surface of the  $\text{p}^+$  type doped polysilicon 33, as shown in drawing 6 (e) using CMP, and the  $\text{p}^+$  type doped polysilicon 33 The slots 45a and 45b, It embeds to each inside of the 1st layer viahole which omitted ..., 45f, and a graphic display. The  $\text{p}^+$  type doped polysilicon 33 with which the inside of the 1st layer viahole was buried and loaded functions as the 2nd layer contact plugs 60c and 60d to the n type source region 71 and the n type drain region 72.

[0037](\*\*) Next, carry out spin spreading of the photoresist 203 on this  $\text{p}^+$  type doped polysilicon 33. And with photolithography technology, the photoresist 203 is patterned, and by using patterned photoresist 203 as a mask, as shown in drawing 6 (f), the ion implantation of the n type impurity ion, such as phosphorous ion ( $^{31}\text{P}^+$ ), is carried out. A dose selects the  $\text{p}^+$  type doped polysilicon 33 in the quantity in which type reversal is possible. After removing the photoresist 203, it heat-treats, n type impurity ion is activated, and the cathode region 52 is selectively formed in the surface of the  $\text{p}^+$  type doped polysilicon 33. And on the cathode region 52 and the  $\text{p}^+$  type doped polysilicon 33, spin spreading of the new photoresist 204 is carried out, and the photoresist 204 is patterned with photolithography technology. By using patterned photoresist 204 as a mask, as shown in drawing 6 (g), the ion implantation of the n type impurity ion, such as arsenic ion ( $^{75}\text{As}^+$ ), is carried out with the dose about  $2 \times 10^{15} \text{cm}^{-2}$ . After removing the photoresist 204, it heat-treats, n type impurity ion is activated, and the cathode contact field 53 is selectively formed in the surface of the cathode region 52. Pn junction diode  $D_{j \text{ and } i}$  consist of the anode region 51, the cathode region 52, and the cathode contact field 53.

[0038](\*\*) Deposit the 1st 0.3 micrometer – 0.8 micrometer-thick interlayer insulation film 34 on the upper part of the embedded insulator layer 32 which it was inserted into the cathode contact field 53, the cathode region 52, the  $\text{p}^+$  type doped polysilicon 33, and these, and was exposed with a CVD method. An oxide film (NSG film), a PSG film, a BPSG film, or the bipolar membrane that comprised combination more than two-layer [ of these ] may be sufficient as this 1st interlayer insulation film 34. On this 1st interlayer insulation film 34, spin spreading of the photoresist 205 is carried out, and the photoresist 205 is patterned with photolithography technology. As the 1st interlayer insulation film 34 is etched by RIE by using this patterned photoresist 205 as a mask and it is shown in drawing 6 (h), The opening of the contact holes 46a and 46b and the 2nd layer viaholes 46c and 46d connected to the 2nd layer contact plugs 60c and 60d is carried out. The conducting film for plugs is deposited on the 1st interlayer insulation film 34 after removing the photoresist 205. And using CMP, flattening is carried out until the 1st

interlayer insulation film 34 exposes the surface of the conducting film for plugs, and the 3rd layer contact plugs 61a, 61b, 61c, and 61d and ..... are embedded to a contact holes [ 46a, 46b, 46c, and 46d ] inside. The 3rd layer contact plugs 61c and 61d, It is embedded to the inside of the 2nd layer viahole which is not illustrated, respectively, and is electrically connected to the n type source region 71 and the drain area 72 of vertical switching transistor  $T_{j \text{ and } i}$  via the 2nd layer contact plugs 60c and 60d and the 1st layer contact plugs 59c and 59d. The 3rd layer contact plugs 61a, 61b, 61c, and 61d, ..... What is necessary is just to deposit refractory metals, such as tungsten (W), titanium (Ti), and molybdenum (Mo), these silicide ( $WSi_2$ ,  $TiSi_2$ ,  $MoSi_2$ ), etc. in a CVD method, a vacuum deposition method, sputtering process, etc. as a conducting film for plugs of business. Or the polycide using these silicide may be deposited and formed with a CVD method.

[0039](\*\*) Next, deposit the 1st 0.3 micrometer – 1 micrometer-thick layer metal film 62 in a CVD method, a vacuum deposition method, sputtering process, etc. on the 3rd layer contact plugs 61a, 61b, 61c, and 61d, ....., the 1st interlayer insulation film 34. As the 1st layer metal film 62, it is usable in other aluminum (aluminum) of refractory metals, such as W, Ti, and Mo, etc. On this 1st layer metal film 62, spin spreading of the photoresist 206 is carried out, and with photolithography technology, the photoresist 206 is patterned, as shown at drawing 6 (i).

[0040](\*\*) Etch the 1st layer metal film 62 by RIE by using this patterned photoresist 206 as a mask, and pattern the 1st metallic wiring layer 62a, 62b, ....., 62f. Although the 1st metallic wiring layer 62c, 62e, and 62f is shown like the independent wiring on the sectional view of drawing 7 (j), on a plane pattern, the 1st metallic wiring layer 62c, 62e, and 62f is one continuous electric wiring. By the 1st metallic wiring layer 62c, 62e, and 62f, the cathode contact field 53 of pn junction diode  $D_{j \text{ and } i}$  and the n type drain region 72 of vertical switching transistor  $T_{j \text{ and } i}$ . It is electrically connected via the 3rd layer contact plug 61d, the 2nd layer contact plug 60d, and the 1st layer contact plug 59d. And the 2nd 0.8 micrometer – 1.5 micrometers-thick interlayer insulation film 35 is deposited on the metallic wiring layer [ 1st /a / 62 /, b / 62 /, ....., 62f ] upper part with a CVD method, as shown in drawing 7 (j). An NSG film, a PSG film, a BPSG film, or the bipolar membrane that comprised combination more than two-layer [ of these ] may be sufficient as this 2nd interlayer insulation film 35. On this 2nd interlayer insulation film 35, spin spreading of the photoresist is carried out and photoresist is patterned with photolithography technology. The 2nd interlayer insulation film 35 is etched by RIE by using this patterned photoresist as a mask, and the opening of the 3rd layer viahole (graphic display abbreviation) connected to the 3rd layer contact plug 61c is carried out. The opening of the 3rd layer viahole is carried out so that the crowning of the 3rd layer contact plug 61c may be exposed.

Refractory metals, such as W, Ti, and Mo, are deposited as a conducting film for the 4th layer contact plugs 64c after removing photoresist. And using CMP, as shown in drawing 7 (j), flattening of the surface of the 2nd interlayer insulation film 35 is carried out, and the 4th layer contact plug 64c is embedded at the 3rd layer viahole.

[0041](\*\*) Next, deposit the 2nd 0.3 micrometer – 1 micrometer-thick layer metal film in a vacuum deposition method, sputtering process, etc. on the 2nd interlayer insulation film 35. As the 2nd layer metal film, it is usable in aluminum or an aluminum alloy (aluminum-Si, aluminum-Cu-Si). On this 2nd layer metal film, spin spreading of the photoresist is carried out and it patterns with photolithography technology. The 2nd layer metal film is etched by RIE by using this patterned photoresist as a mask, and the 2nd metallic wiring layer 63 is patterned. In drawing 7 (k), it is drawn as the 2nd metallic wiring layer 63 is running perpendicularly at space, but it becomes space and a pattern of parallel bit line  $B_i$  in practice. Namely, bit line  $B_i$  is running

in the direction which intersects perpendicularly with the polysilicon gate electrode 73 (word line  $W_j$ ). The 2nd metallic wiring layer 63 (bit line  $B_i$ ) and via the 4th layer contact plug 64c, the 3rd layer contact plug 61c, the 2nd layer contact plug 60c, and the 1st layer contact plug 59c, It is electrically connected to the n type source region 71 of vertical switching transistor  $T_{j \text{ and } i}$ . Although the graphic display is omitted, bit line  $B_{i-1}$ ,  $B_{i+1}$ , and ..... are formed also in the adjoining pixel of the 2nd metallic wiring layer. Although it has not appeared in the sectional view of drawing 3, bit line  $B_{i-1}$ ,  $B_i$ ,  $B_{i+1}$ . It is parallel in ..... and vertical heater-wires  $V_{i-1}$ ,  $V_i$ ,  $V_{i+1}$ , and ..... are patterned as the 2nd metallic wiring layer at the same process as bit line  $B_{i-1}$ ,  $B_i$ ,  $B_{i+1}$ , and ..... Vertical heater-wires  $V_{i-1}$ ,  $V_i$ ,  $V_{i+1}$ , and ..... are running this side of space, and the back in parallel with space. And the 0.8 micrometer - 1.5 micrometers-thick passivation film 36 is deposited on the upper part of the 2nd metallic wiring layer 63 with a CVD method, as shown in drawing 7 (k). As this passivation film 36, it is usable in a silicon nitride film ( $\text{Si}_3\text{N}_4$  film). And using CMP, as shown in drawing 7 (k), flattening of the surface of the passivation film 36 is carried out.

[0042](\*\*) On this passivation film 36, carry out spin spreading of the photoresist 207, and pattern the photoresist 207 with photolithography technology. The passivation film 36, the 2nd interlayer insulation film 35, the 1st interlayer insulation film 34, and the embedding insulator layer 32 are etched by RIE by using this patterned photoresist 207 as a mask, and as shown in drawing 7 (l), the opening of the slots 47a, 47b, 47c, and 47d is carried out. And if silicon etching liquid removes the cavernous material ( $p^+$  type doped polysilicon) 44 exposed to the these slots [ 47a, 47b, 47c, and 47d ] pars basilaris ossis occipitalis, microporosity field  $C_{i \text{ shown in drawing 3 and } j}$  will be formed.

[0043](\*\*) Next, heat a polymer material with the network structure like agar, such as vinyl polymer, make it the shape of sol, and prepare the liquid which mixed enzymes, such as luciferin luciferase, with this. And the liquid with which this enzyme was mixed is dropped toward the slots 47a, 47b, 47c, and 47d from on the semiconductor substrate 29. The liquid with which the dropped enzyme was mixed permeates a slots [ 47a, 47b, 47c, and 47d ] inside according to capillarity, and is poured into microporosity field  $C_{i \text{ and } j}$ . Although the liquid with which the enzyme was mixed remains also in a slots [ 47a, 47b, 47c, and 47d ] gap, By scanning laser beams, such as helium neon (helium-Ne) laser, to the slots 47a, 47b, 47c, and 47d, The polymer material of a slots [ 47a, 47b, 47c, and 47d ] gap can be evaporated without affecting the immobilized enzyme 41 which consists of a polymer material of the pars basilaris ossis occipitalis of microporosity field  $C_{i \text{ and } j}$ . As a result, the sensor array concerning a 1st embodiment of this invention as shown in drawing 3 is completed.

[0044]Drawing 8 is a sectional view showing the pixel of the sensor array concerning the modification of a 1st embodiment of this invention focusing on microporosity field  $C_{i \text{ and } j}$ . This sectional view is equivalent to the figure which met in the direction of A-A of drawing 2. Although microporosity field  $C_{i \text{ and } j}$  comprised drawing 3 as a crevice which removed selectively some base insulator layers 31 arranged on the surface of the p type semiconductor substrate (silicon substrate) 29, In the sensor array concerning the modification of a 1st embodiment, it differs in that it is constituted as a crevice of the surface of p type semiconductor substrate (silicon substrate) 29 self. Like drawing 3, sensing element (pn junction diode)  $D_j$  which consists of the anode region 51, the cathode region 52, and the cathode contact field 53, and i use a doped polysilicon layer for the inside of the diaphragm part 1 used as the lid of microporosity field  $C_{i \text{ and } j}$ , or a roof, and are constituted. Vertical switching transistor  $T_{j-1, i}$ ,  $T_{j, i}$ ,  $T_{j+1, i}$  which are shown in drawing 1, ..... Although arranged near the surface inside the p type semiconductor substrate (silicon substrate) 29 in \*\* and

drawing 3, it comprises a sensor array concerning the modification of a 1st embodiment using the doped polysilicon layer 33 of the same level level as sensing element (pn junction diode)  $D_{j \text{ and } i}$ . Namely, the gate oxide of the surface of the p type doped polysilicon layer 33 between the n type source region 75 of the surface of the doped polysilicon layer 33, the n type drain regions 76, and these n type source regions 75 and n type drain regions 76, It comprises the polysilicon gate electrode 77 on gate oxide. In drawing 3, to the base insulator layer 31 located in the side-attachment-wall side of microporosity field  $C_{i \text{ and } j}$ , the 1st layer contact plugs 59c and 59d, Although ..... (connected conductors) explained that it was embedded so that the base insulator layer 31 may be penetrated, since the 1st layer contact plugs 59c and 59d and ..... are the connected conductors to the n type source region 71 and the n type drain region 72, they are unnecessary with the structure shown in drawing 8. Similarly by drawing 3, inside the embedded insulator layer 32 of the array isolation region 3 The 2nd layer contact plugs 60c and 60d, ..... Although it explained that (connected conductors) were embedded, the 2nd layer contact plugs 60c and 60d, Since it is electrically connected to the n type source region 71 and the n type drain region 72 via the 1st layer contact plugs 59c and 59d and ....., respectively, ..... is unnecessary with the structure shown in drawing 8. Instead, the contact plugs 61e and 61f are connected to the n type source region 75 and the n type drain region 76, respectively. The immobilized enzyme 41 which is stratified reactant  $X_{j \text{ and } i}$  is arranged like drawing 3, and this reactant  $X_{j \text{ and } i}$  are chosen as the pars basilaris ossis occipitalis inside microporosity field  $C_{j \text{ and } i}$  according to the microorganism used as the candidate for detection. Since other details are the same as that of a 1st embodiment fundamentally shown in drawing 3, the duplicate explanation is omitted.

[0045]As shown in drawing 8, it can perform simply forming microporosity field  $C_{i \text{ and } j}$  in the surface of the semiconductor substrate 29 as follows. Namely, what is necessary is for anisotropy silicon etching liquid just to remove the semiconductor substrate 29 exposed to the these slots [ 47a 47b, 47c, and 47d ] pars basilaris ossis occipitalis, after carrying out the opening of the slots 47a, 47b, 47c, and 47d, as shown in drawing 7 (l). At the time of etching of this anisotropy silicon etching liquid, since it is covered with the embedded insulator layer which protects the  $p^+$  type doped polysilicon 33, the  $p^+$  type doped polysilicon 33 is not etched. As anisotropy silicon etching liquid, alkali system etching reagents, such as a potassium hydrate (KOH), ethylenediamine pyrocatechol solution, hydrazine solution, etc. are common knowledge.

[0046]What is necessary is just to perform it as follows in the structure shown in drawing 8, in order to form vertical switching transistor  $T_{j \text{ and } i}$  in the surface of the  $p^+$  type doped polysilicon 33.

[0047](\*\*) First, as shown in drawing 6 (f), carry out the ion implantation of the n type impurity ion for forming the cathode region 52 in the surface of the  $p^+$  type doped polysilicon 33 by an ion implantation. It heat-treats by an oxidizing atmosphere after removing the photoresist 203 used as a mask of an ion implantation, and 50 nm - 100 nm-thick gate oxide is formed in the surface of the  $p^+$  type doped polysilicon 33. By heat treatment which forms this gate oxide, the poured-in n type impurity ion is activated and the cathode region 52 is formed.

[0048](\*\*) Next, deposit about 400 nm of gate electrode materials, such as refractory metals, such as a polysilicon film or W film, and a Mo film, with a CVD method the whole surface on gate oxide. Next, spin spreading of the photoresist is carried out on the surface of a gate electrode material. And photoresist is patterned with photolithography technology. And a gate electrode material is etched by RIE etc. by using this photoresist as a mask, and the gate electrode 77 and the pattern of required wiring are formed with a gate electrode material.

[0049](\*\*) And when patterning the new photoresist 204 for forming the cathode contact field 53 shown in drawing 6 (g), form the opening for vertical switching transistor  $T_{j \text{ and } i}$  in the portion of the gate electrode 77 simultaneously.

[0050](\*\*) And as shown in drawing 6 (g) by using patterned photoresist 204 as a mask, If the ion implantation of the n type impurity ion, such as arsenic ion ( $^{75}\text{As}^+$ ), is carried out with the dose about  $2 \times 10^{15} \text{cm}^{-2}$ , an ion implantation will be carried out also to the surface of the  $p^+$  type doped polysilicon 33 which is source / drain formation schedule in self align by using the gate electrode 77 as a mask. Then, if it heat-treats and n type impurity ion is activated after removing the photoresist 204, The n type source region 75 and the n type drain region 76 are formed, and vertical switching transistor  $T_{j \text{ and } i}$  are formed at the same time the cathode contact field 53 is formed in the surface of the cathode region 52. It is the same as that of the case of drawing 3 to function of the gate electrode 77 of vertical switching transistor  $T_{j \text{ and } i}$  as word line  $W_j$ . Therefore, to the adjoining pixel, vertical switching transistor  $T_{j-1, i}$ ,  $T_{j+1, i}$ , word line  $W_{j-1}$  that is the gate electrodes of ...,  $W_{j+1}$ , and ... run similarly.

[0051] Sensing element (pn junction diode)  $D_j$  [ of the pixel of the sensor array which will start the modification of a 1st embodiment shown in drawing 8 if the substrate of SOI structure is used ],  $i$ , and vertical switching transistor  $T_{j \text{ and } i}$ . It is possible to use and constitute a p type single crystal silicon layer inside the diaphragm part 1 used as the lid (roof) of microporosity field  $C_{i \text{ and } j}$ . What is necessary is just to perform it as follows in the structure shown in drawing 8, in order to form sensing element (pn junction diode)  $D_{j, i}$  and vertical switching transistor  $T_{j \text{ and } i}$  on the surface of a p type single crystal silicon layer.

[0052](b) First prepare the SOI substrate by which the p type single crystal silicon layer was formed via the embedded insulator layer 32 on the semiconductor substrate 29. And on this p type single crystal silicon layer, spin spreading of the photoresist is carried out and photoresist is patterned with photolithography technology. It etches selectively by RIE until the embedded insulator layer 32 exposes a p type single crystal silicon layer by using this patterned photoresist as a mask. By this RIE, an isolation groove is formed in a slots [ which are shown in drawing 7 (l) / 47a, 47b, 47c, and 47d ] position, respectively. 0.6 micrometer – 3 micrometers of width of this isolation groove are widely formed rather than the slots 47a, 47b, 47c, and 47d. The photoresist used for etching of RIE is removed.

[0053](\*\*) And deposit an oxide film with a CVD method so that this isolation groove may be filled. Flattening is carried out until a p type single crystal silicon layer is exposed using CMP, and the insulator layer for p type single crystal silicon layer protection is formed. And on the p type single crystal silicon layer divided with this insulator layer for p type single crystal silicon layer protection, spin spreading of the photoresist 203 is carried out, and the photoresist 203 is patterned with photolithography technology. The ion implantation of the n type impurity ion for forming the cathode region 52 on the surface of a p type single crystal silicon layer is carried out like drawing 6 (f) by using this patterned photoresist 203 as a mask. It heat-treats by an oxidizing atmosphere after removing the photoresist 203 used as a mask of an ion implantation, and 50 nm – 100 nm-thick gate oxide is formed on the surface of a p type single crystal silicon layer. By heat treatment which forms this gate oxide, the poured-in n type impurity ion is activated and the cathode region 52 is formed.

[0054](\*\*) Next, deposit about 400 nm of gate electrode materials, such as refractory metals, such as a polysilicon film or W film, and a Mo film, with a CVD method the whole surface on gate oxide. Next, spin spreading of the photoresist is carried out on the surface of a gate electrode material. And photoresist is patterned with photolithography technology. And a gate electrode material is etched by RIE etc. by using this photoresist as a mask, and the gate electrode 77

(refer to drawing 8.) and the pattern of required wiring are formed with a gate electrode material. [0055](\*\*) And when patterning the new photoresist 204 for forming the cathode contact field 53 shown in drawing 6 (g), form the opening for vertical switching transistor  $T_{j \text{ and } i}$  in the portion of the gate electrode 77 simultaneously.

[0056](\*\*) And if the ion implantation of the n type impurity ion, such as arsenic ion ( $^{75}\text{As}^+$ ), is carried out like drawing 6 (g) by using patterned photoresist 204 as a mask, An ion implantation is carried out also to the surface of the p type single crystal silicon layer which are source / drain formation schedule in self align by using the gate electrode 77 as a mask. Then, if it heat-treats and n type impurity ion is activated after removing the photoresist 204, The n type source region 75 and the n type drain region 76 are formed (refer to drawing 8.), and vertical switching transistor  $T_{j \text{ and } i}$  are formed at the same time the cathode contact field 53 is formed in the surface of the cathode region 52. A next process omits the statement which overlapped with the process shown after drawing 6 (h) since it was fundamentally the same. However, it is as having mentioned above to remove similarly the semiconductor substrate 29 exposed to the these slots [ 47a 47b, 47c, and 47d ] pars basilaris ossis occipitalis with anisotropy silicon etching liquid, after carrying out the opening of the slots 47a, 47b, 47c, and 47d if shown in drawing 7 (l). At the time of etching of this anisotropy silicon etching liquid, since a p type single crystal silicon layer is covered with the insulator layer for p type single crystal silicon layer protection in the side and is having the bottom covered with the embedded insulator layer 32, it is not etched.

[0057](A 2nd embodiment) Drawing 9 is a sectional view showing the pixel of the sensor array concerning a 2nd embodiment of this invention focusing on microporosity field  $C_{i \text{ and } j}$ . This sectional view is equivalent to the figure which met in the direction of A-A of drawing 2. The pn junction diode which consists of the anode region 51, the cathode region 52, and the cathode contact field 53 comprised a 1st embodiment as sensing element  $D_{j \text{ and } i}$  inside the diaphragm part 1 used as the lid of microporosity field  $C_{i \text{ and } j}$ . However, in the pixel of the sensor array concerning a 2nd embodiment, it differs from a 1st embodiment instead of a pn junction diode in that ion detection FET (it puts below on Ion SensitiveFET: and is called "ISFET".) is used. ISFET(s) are sensing element  $D_j$  which detects the ion in a solution and measures PH, and  $i^-$ . Since PH is measured, it is not necessarily required to arrange stratified reactant  $X_{j \text{ and } i}$  at the pars basilaris ossis occipitalis inside microporosity field  $C_{j \text{ and } i}$  unlike a 1st embodiment.

[0058]As shown in drawing 9, a slot is formed in the embedded insulator layer 32 located in the diaphragm part 1, and the embedded insulator layer 32 with a thickness [ used as the gate dielectric film of ISFET ] of 50 nm – about 100 nm remains at each pars basilaris ossis occipitalis of a slot. And the n type doped polysilicon 33 used as the channel regions of ISFET is embedded in this slot. It faces across the channel regions 57, the p type source region 55 and the p type drain region 56 are formed, and ISFET  $D_{j \text{ and } i}$  are constituted. The 1st interlayer insulation film 34 is arranged in the upper part of the n-type channel field 57. On the 1st interlayer insulation film 34, the 1st metallic wiring layer 62a, 62b, ..., 62f is arranged. the 3rd layer contact plugs 61c and 61d in which 62 d of the 1st metallic wiring layer and the p type drain region 56 penetrate the 1st interlayer insulation film 34, and ... it is connected by 61b. the 3rd layer contact plugs 61c and 61d in which the 1st metallic wiring layer 62c and the p type source region 55 penetrate the 1st interlayer insulation film 34, and ... it is connected by 61a. The 3rd more layer contact plugs 61c and 61d, 62 f of the 1st metallic wiring layer and the n type drain region 72 of vertical switching transistor  $T_{j \text{ and } i}$  are electrically connected via ..., the 2nd layer contact plugs 60c and 60d, ... and the 1st layer contact plugs 59c and 59d,

and .....Although the 1st metallic wiring layer 62d, 62e, and 62f is shown like the independent wiring on the sectional view of drawing 9, on a plane pattern, the 1st metallic wiring layer 62d, 62e, and 62f is one continuous electric wiring. Therefore, the 1st metallic wiring layer 62d, 62e, and 62f, the 3rd layer contact plugs 61c and 61d, .....The 2nd layer contact plugs 60c and 60d, The p type drain region 56 of ISFET<sub>D<sub>j</sub> and i</sub> and the n type drain region 72 of vertical switching transistor T<sub>j and i</sub> are electrically connected via ..... and the 1st layer contact plugs 59c and 59d, and ..... (refer to the equivalent circuit of drawing 1.).

[0059]As shown in drawing 9, when negative ion gathers for the gate dielectric film 32 of ISFET, at the pars basilaris ossis occipitalis of the channel regions of ISFET near the gate dielectric film 32. Since an electron hole (hole) is accumulated, a p type channel is formed and current flows between the p type source region 55 of ISFET, and the p type drain region 56, PH inside microporosity field C<sub>j of each pixel and i</sub> can be measured.

[0060]Of course, ISFET can be constituted not using the n type doped polysilicon 33 but using the n type single crystal semiconductor layer which constitutes SOI structure. Although vertical switching transistor T<sub>j and i</sub> are arranged near the surface inside the p type semiconductor substrate (silicon substrate) 29 in drawing 9, If p channel MOS FET is constituted using the semiconductor layer (a polysilicon layer or a single crystal silicon layer) of the same level level as ISFET<sub>D<sub>j</sub> and i</sub>, simple [ of the process ] is carried out and it is preferred. Like the process of CMOS, ISFET<sub>D<sub>j</sub> and i</sub> may be constituted from p channel MOS FET, and vertical switching transistor T<sub>j and i</sub> may consist of n channel MOS FET. It is also possible to all make a conductivity type into reverse and to constitute enhancement type n channel MOS FET for vertical switching transistor T<sub>j, i</sub> and ISFET<sub>D<sub>j</sub> and i</sub>. Since other details are the same as that of a 1st embodiment fundamentally shown in drawing 3, the duplicate explanation is omitted.

[0061]Although a detailed process sectional view is omitted, the sensor array concerning a 2nd embodiment of this invention is realizable with a manufacturing method which is described below. The following is an example and it is needless to say for it to be able to realize with various manufacturing methods other than this including this modification. Since drawing 5 (c) is the same as that of the manufacturing method of the sensor array concerning a 1st embodiment, it omits the duplicate statement. Here, the embedded insulator layer 32 is explained like drawing 5 (c) sequentially from after the process deposited on about 1 micrometer in thickness with the CVD method.

[0062](\*\*) That is, after the process shown in drawing 5 (c), on the embedded insulator layer 32 of drawing 5 (c), carry out spin spreading of the photoresist and pattern photoresist with photolithography technology. The embedded insulator layer 32 is etched by RIE by using this patterned photoresist 202 as a mask, and the slots 45a, 45b, ....., 45f are formed to the embedded insulator layer 32 like drawing 5 (d). The embedded insulator layer (50 nm – about 100 nm) 32 is made to remain at each slots [ 45a, 45b, ....., 45f ] pars basilaris ossis occipitalis.

[0063](\*\*) And deposit the 1.0–1.5–micrometer–thick polycrystalline semiconductor layer (polysilicon) 33 using a CVD method so that the 1st layer viahole linked to the slots 45a, 45b, ....., 45f, the n type source region 71 which is not illustrated, and the n type drain region 72 may be buried. When depositing the polysilicon 33 using a CVD method, like the above–mentioned simultaneously with SiH<sub>4</sub>. It is good as for n type doped polysilicon 33 to add phosphoretted hydrogen (PH<sub>3</sub>), deposit the n type doped polysilicon 33 in INSHITSU, and diffuse a n type impurity after depositing the non–doped polysilicon 33. Using CMP, like drawing 6 (e), carry out flattening until the embedded insulator layer 32 exposes the surface of the n type doped polysilicon 33, and the n type doped polysilicon 33 The slots 45a and 45b, It embeds to each

inside of the 1st layer viahole which omitted ....., 45f, and a graphic display.

[0064](\*\*) Next, carry out spin spreading of the photoresist on the surface of the n type doped polysilicon 33. And with photolithography technology, pattern photoresist and this photoresist is used as a mask, With the dose about  $2 \times 10^{15} \text{cm}^{-2}$ , the ion implantation of the p type impurity ion, such as boron ion ( $^{11}\text{B}^+$ ), is carried out also to the surface of the n type doped polysilicon 33 of sauce / drain formation scheduled region. Then, if it heat-treats and p type impurity ion is activated after removing the photoresist 204, the p type source region 55 and the p type drain region 56 will be formed, and ISFET $D_{j \text{ and } i}$  will be formed. After this, since it is substantially the same, the duplicate explanation is abbreviated to the process shown after drawing 6 (h).

[0065]What is necessary is just to perform it as follows in the structure shown in drawing 9, in order to form sensing element (ISFET)  $D_{j, i}$ , and p channel vertical switching transistor  $T_{j \text{ and } i}$  using a single crystal silicon layer. Here, a single crystal silicon layer means the single crystal semiconductor layer (SOI layer) formed in the inside of the diaphragm part 1 used as the lid (roof) of microporosity field  $C_{i \text{ and } j}$ .

[0066](\*\*) First prepare the SOI substrate by which the n type single crystal silicon layer (SOI layer) was formed via the embedded insulator layer 32 on the semiconductor substrate 29. And on this n type single crystal silicon layer, spin spreading of the photoresist is carried out and photoresist is patterned with photolithography technology. It etches selectively by RIE until the embedded insulator layer 32 exposes a n type single crystal silicon layer by using this patterned photoresist as a mask. By this RIE, an isolation groove is formed in a slots [ which are shown in drawing 7 (l) / 47a, 47b, 47c, and 47d ] position, respectively. The width of this isolation groove is formed more widely than the slots 47a, 47b, 47c, and 47d. Then, the photoresist used for etching of RIE is removed.

[0067](\*\*) And deposit an oxide film with a CVD method so that this isolation groove may be filled. Flattening is carried out until a n type single crystal silicon layer is exposed using CMP, and the insulator layer for n type single crystal silicon layer protection is formed in the inside of an isolation groove. And the surface of the n type single crystal silicon layer divided with this insulator layer for n type single crystal silicon layer protection is oxidized thermally, and 50 nm - 100 nm-thick gate oxide is formed in the surface of a n type single crystal silicon layer.

[0068](\*\*) Next, deposit 300 nm - about 600 nm of gate electrode materials, such as refractory metals, such as a polysilicon film or W film, and a Mo film, with a CVD method the whole surface on gate oxide. Next, spin spreading of the photoresist is carried out on the surface of a gate electrode material, and photoresist is patterned with photolithography technology. And a gate electrode material is etched by RIE etc. by using this photoresist as a mask, and a gate electrode and the pattern of required wiring are formed with a gate electrode material.

[0069](\*\*) Remove the photoresist used for patterning of a gate electrode, and carry out spin spreading of the new photoresist on the surface of gate oxide. And with photolithography technology, pattern photoresist and this photoresist is used as a mask, P type impurity ion, such as boron ion ( $^{11}\text{B}^+$ ), with the dose about  $2 \times 10^{15} \text{cm}^{-2}$ . An ion implantation is carried out to the surface of the n type single crystal silicon layer of the sauce / drain formation scheduled region of ISFET $D_{j, i}$ , and vertical switching transistor  $T_{j \text{ and } i}$ . Then, if it heat-treats and p type impurity ion is activated after removing the photoresist 204, the p type source region and p type drain region of vertical switching transistor  $T_{j \text{ and } i}$  will be formed with the p type source region 55 and the p type drain region 56 of ISFET $D_{j \text{ and } i}$ . The next process is fundamentally [ as the process shown after drawing 6 (h) ] the same. However, it is as having mentioned above to remove similarly the semiconductor substrate 29 exposed to the these slots [ 47a 47b, 47c, and

47d ] pars basilaris ossis occipitalis with anisotropy silicon etching liquid, after carrying out the opening of the slots 47a, 47b, 47c, and 47d if shown in drawing 7 (I). At the time of etching of this anisotropy silicon etching liquid, since a n type single crystal silicon layer is covered with the insulator layer for n type single crystal silicon layer protection in the side and is having the bottom covered with the embedded insulator layer 32, it is not etched.

[0070](A 3rd embodiment) Drawing 10 and 11 are the sectional views showing the pixel of the sensor array concerning a 3rd embodiment of this invention focusing on microporosity field  $C_{i \text{ and } j}$ . This sectional view is equivalent to the figure which met in the direction of A-A of drawing 2. The pixel of the sensor array concerning a 3rd embodiment of this invention in the upper part of the pixel of a 1st embodiment Hole  $h_{11}$ ,  $h_{12}$ . They are  $h_{31}$ ,  $h_{32}$ ,  $h_{33}$ ,  $h_{34}$ ,  $h_{55}$ , and the structure where the cap layer 37 with  $h_{55}$  was added. The upper part of an interval part provided between the array isolation region 3 and the diaphragm part 1 is connected to the wrap fringe part (end) 37c and each crowning of the diaphragm part 1 in the pars basilaris ossis occipitalis of a center section, and the cap layer 37 consists of a supporter (37a, 37b) which supports the fringe part 37c by cantilever structure. The supporter (37a, 37b) comprises the skirt part 37b which connects the center section 37a where the pars basilaris ossis occipitalis was connected to each crowning of the diaphragm part 1, and the fringe part 37c and the center section 37a.  $h_{31}$ ,  $h_{32}$ ,  $h_{33}$ ,  $h_{34}$ ,  $h_{55}$  can be used as hole  $h_{11}$  provided in the fringe part 37c,  $h_{12}$ ,  $h_{55}$ , and a filter into which the size of a suspended particle is classified. The end (fringe part) 37c of the cap layer 37 and the crevice between the passivation films 36 Hole  $h_{11}$ ,  $h_{12}$ . When thicker than the diameter of  $h_{31}$ ,  $h_{32}$ ,  $h_{33}$ ,  $h_{34}$ ,  $h_{55}$ , from the end (fringe part) 37c of the cap layer 37, and the crevice between the passivation films 36, a microorganism is introduced into microporosity field  $C_{i \text{ and } j}$ , and gets. this crevice is buried -- or hole  $h_{11}$  and  $h_{12}$  and  $h_{31}$ ,  $h_{32}$ ,  $h_{33}$ ,  $h_{34}$ . It may be made thinner than the diameter of  $h_{55}$ , and hole  $h_{11}$ ,  $h_{12}$ ,  $h_{31}$ ,  $h_{32}$ ,  $h_{33}$ ,  $h_{34}$ ,  $h_{55}$  may be used as a sorting filter of a microorganism. As shown in drawing 10, the pn junction diode which consists of the anode region 51, the cathode region 52, and the cathode contact field 53 is constituted as sensing element  $D_{j \text{ and } i}$  inside the diaphragm part 1 used as the lid of microporosity field  $C_{i \text{ and } j}$ . Although the graphic display is omitted, stratified reactant  $X_{j \text{ and } i}$  are arranged at the pars basilaris ossis occipitalis inside microporosity field  $C_{j \text{ and } i}$ . Thus, other structures omit the explanation which overlapped with a 1st embodiment since it was substantially the same.

[0071] Since the center section 37a of the supporter of the cap layer 37 constitutes the bottom of the crevice surrounded by the skirt part 37b as shown in drawing 10, it is also possible by arranging the quality of a culture of a microorganism in this center section 37a (bottom of a crevice) to measure growth thermogram. In this case, in order to distinguish bio-luminescence and growth thermogram, it is also effective in the adjoining pixel to adopt topology which does not arrange the quality of a culture for the purpose of measurement of bio-luminescence, and to measure the signal quantity between the adjoining pixels.

[0072] Although a graphic display is omitted, the sensor array concerning a 3rd embodiment of this invention is realizable using the manufacturing method of the sensor array described below. However, it is an example and, of course, can manufacture by various methods other than this including this modification. Since drawing 7 (I) is the same as that of the manufacturing method of the sensor array concerning a 1st embodiment, it omits the duplicate statement. Here, the slots 47a, 47b, 47c, and 47d are explained like drawing 7 (I) sequentially from after the process which carried out the opening.

[0073](\*\*) Namely, as shown in drawing 7 (I), after carrying out the opening of the slots 47a, 47b,

47c, and 47d, An amorphous silicon is deposited so that these slots 47a, 47b, 47c, and 47d may be filled and also fixed thickness, for example, a thickness of 0.8 micrometer – 2 micrometers, can be secured in the upper part of the passivation film 36. And flattening of the surface of an amorphous silicon is carried out by CMP.

[0074](\*\*) Next, carry out spin spreading of the photoresist on an amorphous silicon. And photoresist is patterned with photolithography technology, an amorphous silicon is etched by isotropic etching by using this patterned photoresist as a mask, and a crevice is formed.

[0075](\*\*) Deposit the insulator layer for cap layers on 0.3 micrometer – about 1 micrometer in thickness with a CVD method after removing photoresist. As an insulator layer for cap layers, it is usable in an NSG film, a PSG film, or a BPSG film. Next, spin spreading of the photoresist is carried out on the insulator layer for cap layers. And hole  $h_{11}$ ,  $h_{12}$  as patterned photoresist with photolithography technology, etched the insulator layer for cap layers by RIE by using this patterned photoresist as a mask and shown in drawing 10 and drawing 11. It patterns after the rectangular shape which has  $h_{31}$ ,  $h_{32}$ ,  $h_{33}$ ,  $h_{34}$ ,  $h_{55}$ .

[0076](\*\*) And hole  $h_{11}$ ,  $h_{12}$ . If an amorphous silicon is etched with silicon etching liquid via  $h_{31}$ ,  $h_{32}$ ,  $h_{33}$ ,  $h_{34}$ ,  $h_{55}$ , the opening of the slots 47a, 47b, 47c, and 47d will be carried out again. The cavernous material ( $p^+$  type doped polysilicon) 44 exposed to the these slots [ 47a, 47b, 47c, and 47d ] pars basilaris ossis occipitalis is also removed, and microporosity field  $C_i$  shown in drawing 10 and  $j$  are formed.

[0077]Drawing 12 is a sectional view showing the pixel of the sensor array concerning the modification of a 3rd embodiment of this invention focusing on microporosity field  $C_i$  and  $j$ . This sectional view is equivalent to the figure which met in the direction of A-A of drawing 2. The pixel of the sensor array concerning the modification of a 3rd embodiment of this invention, On the reverse side of the eaves (fringe part) 37c of the cap layer 37 provided in the upper part of the starting-3rd embodiment shown in drawing 10 pixel. It is the structure where the upper electrode 82 which consists of a metal thin film is arranged, and the lower electrode 81 is arranged in the upper part of the passivation film 36 which counters this upper electrode 82 and serves as a crowning of the array isolation region 3.

[0078]According to the structure shown in drawing 12, it is possible to control the distance between the surfaces of the passivation film 36 used as the reverse side of the fringe part 37c and the crowning of the array isolation region 3 using electrostatic force. For example, electropositive potential is given to the upper electrode 82, electronegative potential is given to the lower electrode 81, and distance between the reverse side of the fringe part 37c and the surface of the passivation film 36 can be narrowed using electrostatic attraction. On the other hand, if electropositive potential is given to the upper electrode 82 and electropositive potential is given to the lower electrode 81, distance between the reverse side of the fringe part 37c and the surface of the passivation film 36 can be made large according to electrostatic repulsive force. Or it may narrow, electronegative potential may be given to the upper electrode 82, electronegative potential may be given to the lower electrode 81, and distance between the reverse side of the fringe part 37c and the surface of the passivation film 36 may be made large. Thus, it can be used using electrostatic force as a variable filter which classifies the size of a suspended particle or a microorganism according to controlling the distance between the reverse side of the fringe part 37c, and the surface of the passivation film 36. In drawing 12, to the cap layer 37, hole  $h_{11}$ ,  $h_{12}$ ,  $h_{31}$ ,  $h_{32}$ ,  $h_{33}$ ,  $h_{34}$ . Although it is the structure which provided  $h_{55}$  and  $h_{55}$ , as for the characteristic of a variable filter, the direction made into hole  $h_{11}$ ,  $h_{12}$ ,  $h_{31}$ ,  $h_{32}$ ,  $h_{33}$ ,  $h_{34}$ ,  $h_{55}$ , and structure without  $h_{55}$  becomes sharp. Other structures omit the explanation

which overlapped with the pixel concerning a 3rd embodiment shown in drawing 10 since it was substantially the same.

[0079] Although a graphic display is omitted, the sensor array concerning the modification of a 3rd embodiment of this invention is realizable using the following manufacturing methods. The middle is the same as that of the manufacturing method of the sensor array concerning a 1st embodiment.

[0080](\*\*) That is, as shown in drawing 7 (l) explained by a 1st embodiment, after carrying out the opening of the slots 47a, 47b, 47c, and 47d, deposit an amorphous silicon so that it may invade into a these slots [ 47a, 47b, 47c, and 47d ] inside. And CMP is performed until the passivation film 36 is exposed, and the slots 47a, 47b, 47c, and 47d are embedded by an amorphous silicon. then, the passivation film 36 top -- lower electrodes, such as W, Ti, and Mo, -- public funds -- a group film is deposited in a CVD method, a vacuum deposition method, sputtering process, etc. On this metal membrane for lower electrodes, spin spreading of the photoresist is carried out and photoresist is patterned with photolithography technology. using this patterned photoresist as a mask -- a lower electrode -- public funds -- a group film is etched by RIE and the lower electrode 81 is patterned. And the photoresist which patterned the lower electrode 81 is removed.

[0081](\*\*) Furthermore, deposit an amorphous silicon on the upper part of the lower electrode 81, and the upper part of the exposed passivation film 36. And by CMP, flattening of the surface of an amorphous silicon is carried out, and spin spreading of the photoresist is carried out on an amorphous silicon. And photoresist is patterned with photolithography technology, an amorphous silicon is etched by isotropic etching by using this patterned photoresist as a mask, and a crevice is formed.

[0082](\*\*) a next [ after removing photoresist ], and amorphous silicon top -- upper electrodes, such as W, Ti, and Mo, -- public funds -- deposit a group film in a CVD method, a vacuum deposition method, sputtering process, etc. The insulator layer for cap layers is deposited with a CVD method on the metal membrane for upper electrodes. Next, spin spreading of the photoresist is carried out on the insulator layer for cap layers. And photoresist is patterned with photolithography technology, and the insulator layer for cap layers and the metal membrane for upper electrodes are etched by RIE by using this patterned photoresist as a mask, and it patterns after rectangular shape as shown in drawing 12.

[0083](\*\*) And the end (namely, between the fringe part 37c and the crownings of the array isolation region 3) of the insulator layer for cap layers or hole  $h_{11}$ ,  $h_{12}$ , If ...,  $h_{31}$ ,  $h_{32}$ ,  $h_{33}$ ,  $h_{34}$ , ...,  $h_{55}$  are formed and an amorphous silicon will be etched with silicon etching liquid via a hole, the opening of the slots 47a, 47b, 47c, and 47d will be carried out again. The cavernous material 44 exposed to the these slots [ 47a, 47b, 47c, and 47d ] pars basilaris ossis occipitalis is also removed, and microporosity field  $C_i$  shown in drawing 12 and  $j$  are formed.

[0084](A 4th embodiment) By performing highly precise micro processing on a substrate in recent years using micro-machining art, LOC (Laboratory on a Chip), mu-TAS (Micro Total Analysis Systems), etc. which accumulate a series of functions, such as liquid sending, mixing, a reaction, and analysis, on the semiconductor substrate (chip) of one sheet are tried. The art of performing highly precise three-dimensional package processing on a semiconductor substrate or an insulating substrate is adopted as these trial productions by applying ultra-fine processing technology adopted with the manufacturing method of the integrated circuit, such as photo lithography and RIE.

[0085] Drawing 13 is a sectional view showing the structure of the sensor array in which liquid

sending, mixing, the reaction, analysis, etc. between the pixels concerning a 4th embodiment of this invention are possible. This sectional view is equivalent to the figure which met in the direction of A-A of drawing 2. It is the point that the detailed piping (cave hole) 42 which runs to the base insulator layer 31 which constitutes microporosity field  $C_{i \text{ and } j}$  at the surface and the parallel direction of the semiconductor substrate 29 in the pixel of the sensor array concerning a 4th embodiment of this invention is formed differs in the pixel of a 1st embodiment. Pouring and discharge of the enzyme to microporosity field  $C_{i \text{ and } j}$ , protein, a living body cell, etc. can be performed via the detailed piping 42 shown in drawing 13. That is, although the graphic display is omitted, it becomes possible via the detailed piping 42 to arrange the enzyme as reactant  $X_{j \text{ and } i}$ , protein, a living body cell, etc. inside microporosity field  $C_{j \text{ and } i}$ . Other structures omit the explanation which overlapped with a 1st embodiment since it was substantially the same.

[0086]According to the pixel of the sensor array concerning a 4th embodiment of this invention. Since an enzyme, protein, a living body cell, etc. can be conveyed inside microporosity field  $C_{j \text{ and } i}$  via the detailed piping 42 when an enzyme, protein, a living body cell, etc. which have been arranged inside microporosity field  $C_{j \text{ and } i}$  are exhausted or exhausted, recovery of a sensor function is possible. Multi-analysis of conveying the microorganism captured by microporosity field  $C_{j \text{ and } i}$  to other pixels which adjoin via the detailed piping 42, and analyzing it by other techniques, or analyzing it in details more is attained. For this reason, as for the sensor array concerning a 4th embodiment, the operation as "chemicals integrated circuits", such as LOC and  $\mu$ -TAS, is attained. Therefore, although the graphic display is omitted, The micro valve connected to the detailed piping 42, the actuator for liquid sending (micropump), a micro mixer, a micro reactor, a separation part, a primary detecting element, etc. may be integrated inside the base insulator layer 31 which constitutes microporosity field  $C_{i \text{ and } j}$ , or the semiconductor substrate 29.

[0087]The sensor array concerning a 4th embodiment of this invention can be manufactured according to the process sectional view shown in drawing 14. However, the manufacturing method concerning drawing 14 is an example, and, of course, it can manufacture by various methods other than this including this modification.

[0088](\*\*) The process sectional view shown in drawing 14 (a) is mostly similar with drawing 5 (a) explained with the manufacturing method of the sensor array concerning a 1st embodiment. Here, the polysilicon film 43 is deposited with a CVD method the whole surface on the gate oxide 42 like explanation concerning drawing 5 (a). Next, spin spreading of the photoresist 201 is carried out on the surface of the polysilicon film 43. And with photolithography technology, as shown in drawing 14 (a), the photoresist 201 is patterned. And the polysilicon film 43 is etched by reactive ion etching (RIE) etc. by using this photoresist 201 as a mask, and as shown in drawing 14 (b), the gate electrode 73, the polysilicon wiring 74 for piping, and polysilicon wiring (not shown) are formed. Then, the photoresist 201 is removed and spin spreading of the new photoresist is carried out on the surface of the gate electrode 73 and the polysilicon wiring 74 grade for piping. And using photolithography technology, the opening for ion implantations is formed in a MOS transistor formation region, and the polysilicon gate electrode 73 is exposed. The ion implantation of the arsenic ion ( $^{75}\text{As}^+$ ) is carried out to the order of dose  $10^{15}\text{cm}^{-2}$  in self align by using this exposed polysilicon gate electrode 73 and new photoresist as a mask. At this time, the ion implantation of the arsenic ( $^{75}\text{As}^+$ ) is carried out also to the exposed polysilicon gate electrode 73. After removing new photoresist, the semiconductor substrate 29 is heat-treated, The poured-in impurity ion is activated and diffused, as shown in drawing 14 (b),

the n type source region 71 and the n type drain region 72 are formed in the semiconductor substrate 29, and as a result, vertical switching transistor  $T_{j \text{ and } i}$  are formed.

[0089]As shown in drawing 14 (b), (\*\*) Next, vertical switching transistor  $T_{j-1, i}$ ,  $T_{j, i}$ ,  $T_{j+1, i}$ . To the MOS IC of ..... or a peripheral circuit, the base insulator layer 31 which functions as an interlayer insulation film is deposited at about 1 micrometer in thickness on the gate electrode 73 and the polysilicon wiring 74 grade for piping. This base insulator layer 31 is used as the bipolar membrane which comprised two-layer structure of an NSG film, a PSG film, or a BPSG film, and a reflow of the upper BPSG film is carried out, and as shown in drawing 14 (b), flattening of the surface of the base insulator layer 31 is carried out.

[0090](\*\*) Next, carry out spin spreading of the photoresist on the base insulator layer 31. And photoresist is patterned with photolithography technology. The base insulator layer 31 is etched by RIE by using this patterned photoresist as a mask, and the opening of the contact hole (graphic display abbreviation) to the n type source region 71 and the n type drain region 72 is carried out. The photoresist used for the contact hole opening is removed, and spin spreading of the new photoresist is carried out on the base insulator layer 31. And new photoresist is patterned with photolithography technology. The base insulator layer 31 is etched by isotropic etching by using this patterned new photoresist as a mask, and microporosity field  $C_{i \text{ and } j}$  are formed. And the cavernous material (doped polysilicon) 44 is deposited using a CVD method so that contact hole and microporosity field  $C_{i \text{ and } j}$  may be buried. And using CMP, flattening is carried out until the base insulator layer 31 exposes the surface of the cavernous material 44, and the cavernous material 44 is embedded to the inside of contact hole and microporosity field  $C_{i \text{ and } j}$ . The doped polysilicon 44 with which the inside of a contact hole was buried and loaded functions as the 1st layer contact plugs 59c and 59d and ..... to the n type source region 71 and the n type drain region 72. Then, as shown in drawing 14 (c), the embedded insulator layer 32 is deposited.

[0091](\*\*) After this, since it is substantially the same, abbreviate explanation to the manufacturing method shown in drawing 5 (d) explained with the manufacturing method of the sensor array concerning a 1st embodiment - drawing 7 (l). And like drawing 7 (l), as shown in drawing 14 (d), the opening of the slots 47a, 47b, 47c, and 47d is carried out. And if silicon etching liquid removes the cavernous material 44 and the polysilicon wiring 74 for piping which were exposed to the these slots [ 47a, 47b, 47c, and 47d ] pars basilaris ossis occipitalis, as shown in drawing 13, the detailed piping 42 will be formed simultaneously with microporosity field  $C_{i \text{ and } j}$ .

[0092](\*\*) The enzyme to microporosity field  $C_{i \text{ and } j}$ , protein, a living body cell, etc. should just pour in via the detailed piping 42 after this.

[0093]Drawing 15 is a sectional view showing the pixel of the sensor array concerning the modification of a 4th embodiment of this invention focusing on microporosity field  $C_{i \text{ and } j}$ . This sectional view is equivalent to the figure which met in the direction of A-A of drawing 2. Although microporosity field  $C_{i \text{ and } j}$  comprised drawing 13 as a crevice which removed selectively some base insulator layers 31 arranged on the surface of the p type semiconductor substrate (silicon substrate) 29, In the sensor array concerning the modification of a 4th embodiment, it is constituted as a crevice of the surface of semiconductor substrate 29 self, and differs in that the detailed piping 42 is formed in the inside of the semiconductor substrate 29. Sensing element (pn junction diode)  $D_j$  which consists of the anode region 51, the cathode region 52, and the cathode contact field 53, and i like drawing 13, A doped polysilicon layer is used for the inside of the diaphragm part 1 used as the lid of microporosity field  $C_{i \text{ and } j}$ , or a roof, and it is constituted. Although vertical switching

transistor  $T_{j \text{ and } i}$  are arranged near the surface inside the semiconductor substrate 29 by drawing 13, they comprise a sensor array concerning the modification of a 4th embodiment using the doped polysilicon layer of the same level level as sensing element  $D_{j \text{ and } i}$ . Since other details are the same as that of a 4th embodiment fundamentally shown in drawing 13, the duplicate explanation is omitted.

[0094]As shown in drawing 15, it can perform simply forming the detailed piping 42 in the surface of the semiconductor substrate 29 as follows.

[0095](\*\*) Namely, after carrying out the opening of the slots 47a, 47b, 47c, and 47d like drawing 7 (l) explained by a 1st embodiment, If anisotropy silicon etching liquid removes the semiconductor substrate 29 exposed to the these slots [ 47a, 47b, 47c, and 47d ] pars basilaris ossis occipitalis, microporosity field  $C_{i \text{ and } j}$  will be formed. Then, spin spreading of the photoresist is carried out on the passivation film 36. And photoresist is patterned with photolithography technology. using this patterned photoresist as a mask -- the passivation film 36, the 2nd interlayer insulation film 35, and the 1st interlayer insulation film 34 -- so that it may penetrate embedding insulator layer 32 and also a part of semiconductor substrate 29 may be removed selectively, It etches by RIE, and as shown in drawing 16 (a), the opening of the wells 43a, 43b, 43c, and 43d for detailed piping formation is carried out.

[0096](\*\*) If the wells 43a, 43b, 43c, and 43d for detailed piping formation are heat-treated after an opening and the semiconductor substrate 29 is heat-treated in reducing atmospheres, such as hydrogen, Etching advances so that a wells [ for detailed piping formation / 43a, 43b, 43c, and 43d ] pars basilaris ossis occipitalis may expand, and as shown in drawing 16 (b), the connecting part 48 is made.

[0097](\*\*) Furthermore, if heat treatment in a reducing atmosphere is continued, the connecting part 48 will grow, and as shown in drawing 16 (c), the detailed piping 42 will be opened for traffic.

[0098]It is possible to provide two or more overpass detailed piping by providing two or more sets of wells [ where the depth differs / for detailed piping formation / 43a, 43b, 43c, and 43d ] groups (a group).

[0099](Package of a sensor array) As for the sensor array explained in the 1st thru/or a 4th embodiment, it is preferred to store and work in a package as shown in drawing 17. The sensor chip 11 which integrated the sensor array which explained the package as shown in drawing 17 to the inside of metal or the resin package container 12 in the 1st thru/or a 4th embodiment is stored. Two or more pins 15 are arranged at the pars basilaris ossis occipitalis of the package container 12. And the crowning of the package container 12 is the structure where it comprises the metallic mesh 13 and a suspended particle and a microorganism can arrive at the surface of the sensor chip 11 via the metallic mesh 13. An outlet is provided near the pars basilaris ossis occipitalis of the package container 12, and fluids, such as the atmosphere which flowed from the metallic mesh 13, are discharged.

[0100]As shown in the sectional view of drawing 17 (b), inside the package container 12, the perforated plates 14a, 14b, and 14c of two or more sheets are laminated by the topology that the position of a hole shifts mutually. Even if fluid streams, such as a strong air current, are introduced via the metallic mesh 13 by laminating the perforated plates 14a, 14b, and 14c, the rate of flow is eased and it is protected that the surface of the sensor chip 11 is damaged mechanically.

[0101](Other embodiments) As mentioned above, although the 1st thru/or a 4th embodiment indicated this invention, if this invention is limited, he should not understand the statement and

the drawing which make a part of this indication. Various alternative embodiments, an example, and an investment technique will become clear [ to a person skilled in the art ] from this indication.

[0102] For example, when the pixel of the sensor array explained in the 1st thru/or a 4th embodiment treats a microorganism, protein, blood, etc., it is necessary to perform introduction to microporosity field  $C_{i \text{ and } j}$  smoothly. In this case, it is preferred to make into hydrophilic nature the surface of each material which constitutes the pixel. For example, what is necessary is to carry out a surface treatment by a water soluble vinyl monomer, to form a polymers chain, and just to make the surface into hydrophilic nature.

[0103] As reactant  $X_j$  introduced and arranged and  $j$ , inside microporosity field  $C_{j \text{ and } i}$ , Fluorescent substances which interact with radiation and show a fluorescence, such as a cesium iodide (CsI:Ti) and acid gadolinium sulfide ( $Gd_2O_3S:Tb$ ), may be fixed, and the dust content of the air bacillus which carried out the label with radioisotope, or the air including radioactivity may be measured. In this case, it is possible to regard it as the sensor array provided with the function of both a biosensor and a radio active ray sensor.

[0104] Although drawing 1 showed the area array (two dimensional array) which has arranged the pixel in the shape of an X-Y matrix, of course, it is good as for an linear array (one dimensional array).

[0105] Thus, as for this invention, it is needless to say that various embodiments etc. which have not been indicated here are included. Therefore, the technical scope of this invention is appointed only by the invention specific matter which starts an appropriate claim from the above-mentioned explanation.

[0106]

[Effect of the Invention] According to the sensor array of this invention, it becomes possible in real time to visualize the existing density, identifying the kind of microorganism which exists in the air or underwater.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1]It is an equivalent circuit of the sensor array concerning a 1st embodiment of this invention.

[Drawing 2]It is a plan (top view) of the pixel of the sensor array concerning a 1st embodiment of this invention.

[Drawing 3]It is a sectional view of the pixel of the sensor array concerning a 1st embodiment of this invention.

[Drawing 4]Drawing 4 (a) is a figure showing the area division method for imaging four kinds of air microorganisms, and drawing 4 (b) is an explanatory view in the case of identifying an air bacillus in detail combining the preset temperature and the opening size of a cell by a matrix.

[Drawing 5]It is a process sectional view explaining the manufacturing method of the sensor array concerning a 1st embodiment of this invention (the 1).

[Drawing 6]It is a process sectional view explaining the manufacturing method of the sensor array concerning a 1st embodiment of this invention (the 2).

[Drawing 7]It is a process sectional view explaining the manufacturing method of the sensor array concerning a 1st embodiment of this invention (the 3).

[Drawing 8]It is a sectional view of the pixel of the sensor array concerning the modification of a 1st embodiment of this invention.

[Drawing 9]It is a sectional view of the pixel of the sensor array concerning a 2nd embodiment of this invention.

[Drawing 10]It is a sectional view of the pixel of the sensor array concerning a 3rd embodiment of this invention.

[Drawing 11]It is a plan of the pixel shown in drawing 10.

[Drawing 12]It is a sectional view of the pixel of the sensor array concerning the modification of a 3rd embodiment of this invention.

[Drawing 13]It is a sectional view of the pixel of the sensor array concerning a 4th embodiment of this invention.

[Drawing 14]It is a process sectional view explaining the manufacturing method of the sensor array concerning a 4th embodiment of this invention.

[Drawing 15]It is a sectional view of the pixel of the sensor array concerning the modification of a 4th embodiment of this invention.

[Drawing 16]It is a process sectional view explaining the manufacturing method of the sensor array concerning the modification of a 4th embodiment of this invention.

[Drawing 17] Drawing 17 (a) is a bird's-eye view of the package which stores the sensor array concerning the 1st thru/or a 4th embodiment, and drawing 17 (b) is the sectional view.

[Description of Notations]

- 1 Diaphragm part
- 2a The 1st support saddle
- 2b The 2nd support saddle
- 3 Array isolation region
- 12 Package container
- 13 Metallic mesh
- 14a, 14b, and 14c Perforated plate
- 15 Pin
- 29 P type semiconductor substrate (silicon substrate)
- 31 Base insulator layer
- 32 Embedded insulator layer
- 33 p<sup>+</sup> type doped polysilicon
- 34 The 1st interlayer insulation film
- 35 The 2nd interlayer insulation film
- 36 Passivation film
- 37 Cap layer
- 37a Supporter (center section)
- 37b Supporter (skirt part)
- 37c Fringe part 37c
- 41 Immobilized enzyme
- 42 Detailed piping
- 43 Polysilicon film
- 43a, 43b, 43c, and 43d Well for detailed piping formation
- 44 Cavernous material (polysilicon)
- 45a, 45b, ..., 45f Slot
- 46a and 46b Contact hole
- 47a-47d Slot
- 51 Anode region
- 52 Cathode region
- 53 Cathode contact field
- 55 P type source region
- 56 P type drain region
- 57 Channel regions
- 59c and 59d The 1st layer contact plug
- 60c and 60d The 2nd layer contact plug
- 61a-61d The 3rd layer contact plug
- 61e, 61f, and 64d Contact plug
- 62a, 62b, ..., 62f The 1st metallic wiring layer
- 63 The 2nd metallic wiring layer
- 64c The 4th layer contact plug
- 71, 75 n type source regions
- 72, 76 n type drain regions
- 73, a polysilicon gate electrode

74 Polysilicon wiring for piping

81 Lower electrode

82 Upper electrode

201-207 Photoresist

$B_{j-1}$ ,  $B_j$ ,  $B_{j+1}$ , and ..... a bit line

$C_{j,i-1}$ ,  $C_{j,i}$ ,  $C_{j,i+1}$ ,  $C_{j+1,i-1}$ ,  $C_{j+1,i}$ ,  $C_{j+1,i+1}$ , and ..... a microporosity field

$D_{j,i-1}$ ,  $D_{j,i}$ ,  $D_{j,i+1}$ ,  $D_{j+1,i-1}$ ,  $D_{j+1,i}$ ,  $D_{j+1,i+1}$ , and ..... a sensing element

$h_{11}$ ,  $h_{12}$ , ———,  $h_{31}$ ,  $h_{32}$ ,  $h_{33}$ ,  $h_{34}$ , .....,  $h_{55}$  hole

$Q_{i-1}$ ,  $Q_i$ ,  $Q_{i+1}$ , and ..... a level switch transistor

$T_{j,i-1}$ ,  $T_{j,i}$ ,  $T_{j,i+1}$ ,  $T_{j+1,i-1}$ ,  $T_{j+1,i}$ ,  $T_{j+1,i+1}$ , and ..... a vertical switching transistor

$V_{i-1}$ ,  $V_i$ ,  $V_{i+1}$ , and ..... vertical heater wires

$V_b$ ,  $V_t$  level heater wires

$W_{j-1}$ ,  $W_j$ ,  $W_{j+1}$ , and ..... a word line

---

[Translation done.]

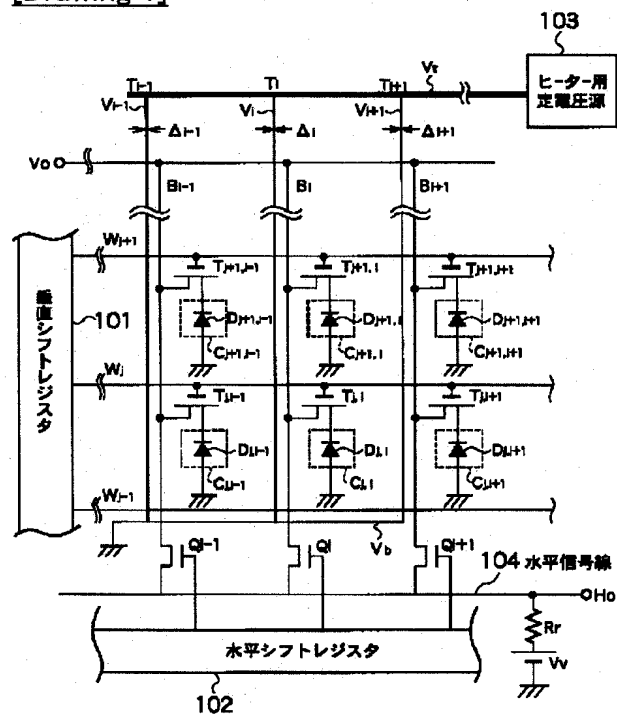
## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DRAWINGS

[Drawing 1]



$C_{L-1}, C_{L-1}, C_{H-1}, C_{H-1}$  : 微小空洞領域  
 $B_{L-1}, B_L, B_{H-1}$  : ビット線  
 $W_{L-1}, W_L, W_{H-1}$  : ワード線  
 $D_{L-1}, D_{L-1}, D_{H-1}, D_{H-1}$  : pn接合ダイオード  
 $T_{L-1}, T_{L-1}, T_{H-1}, T_{H-1}$  : 垂直スイッチングトランジスタ  
 $Q_{L-1}, Q_L, Q_{H-1}$  : 水平スイッチトランジスタ

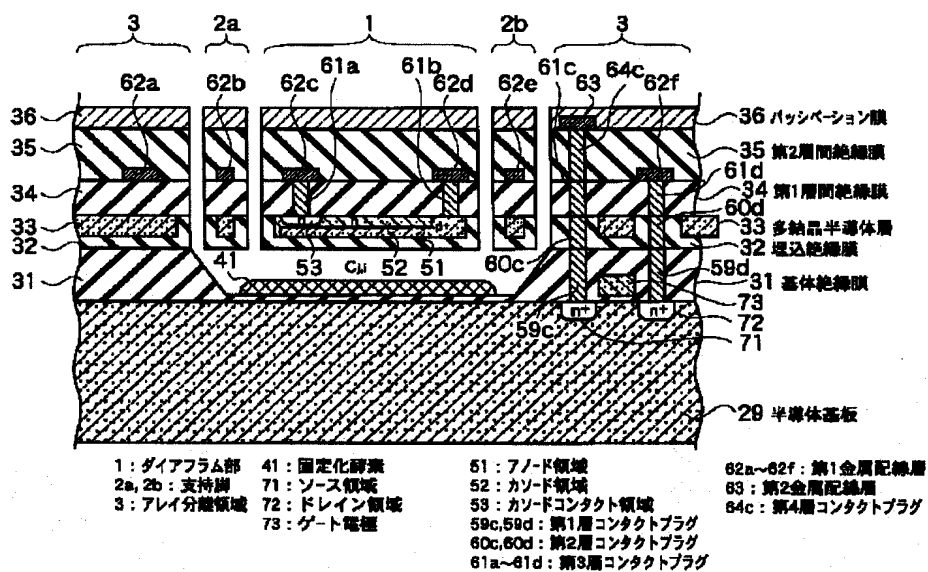
[Drawing 2]



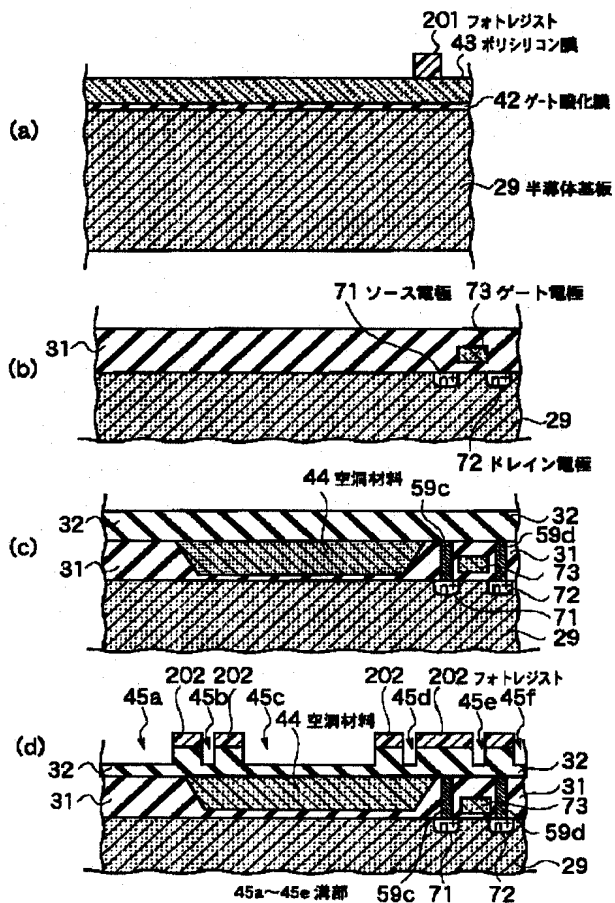
(a)



[Drawing 3]

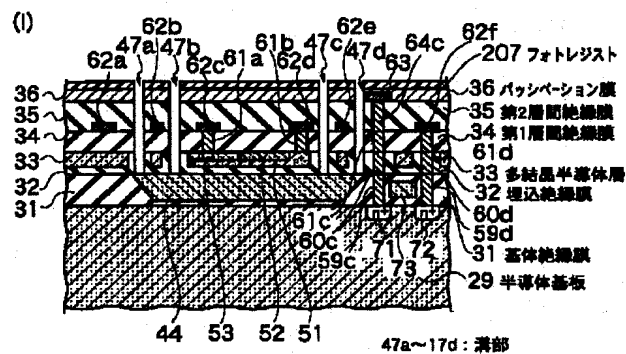
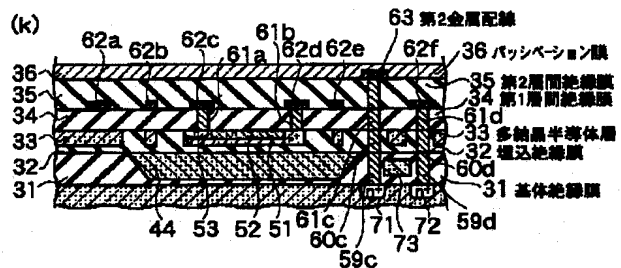
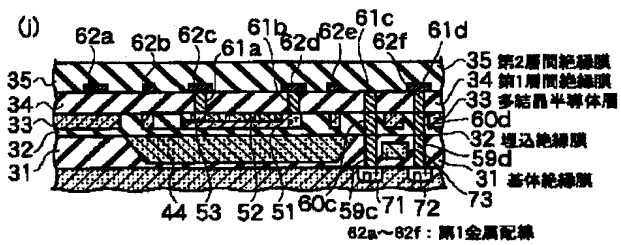


[Drawing 5]

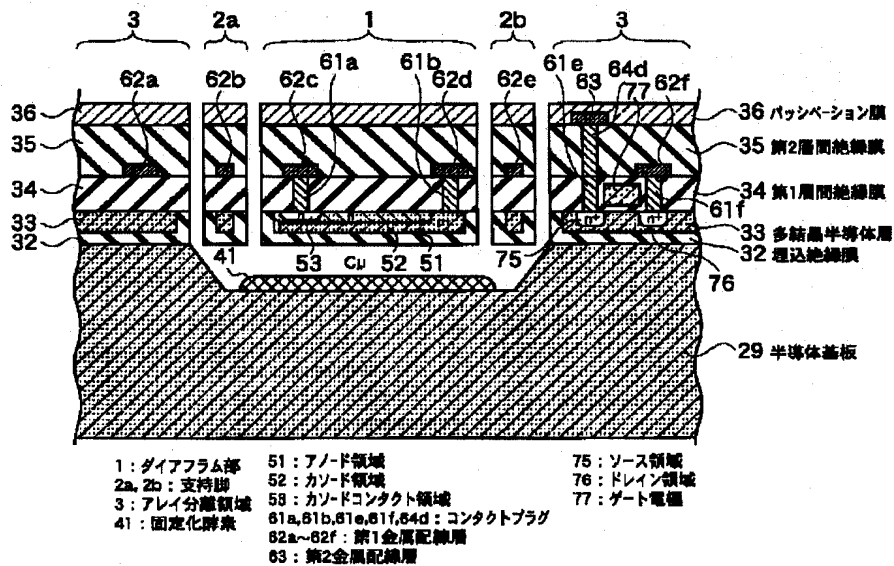


[Drawing 6]

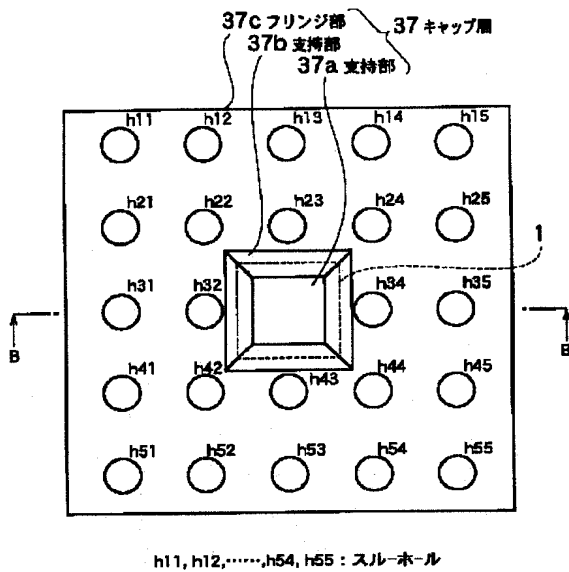




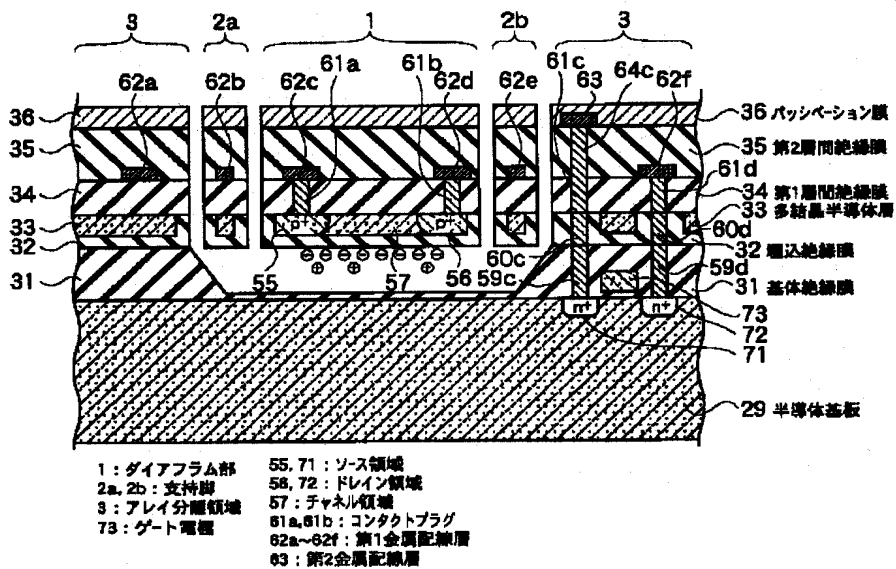
[Drawing 8]



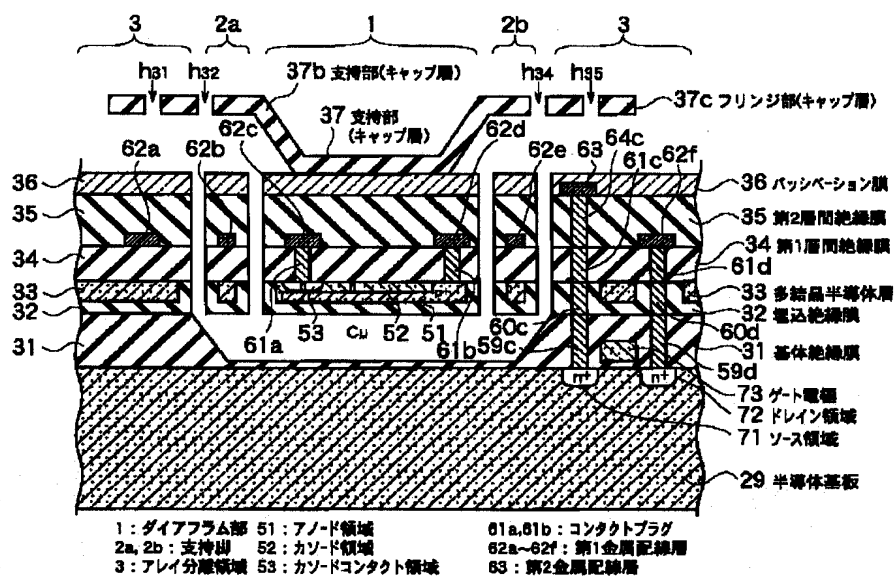
[Drawing 11]



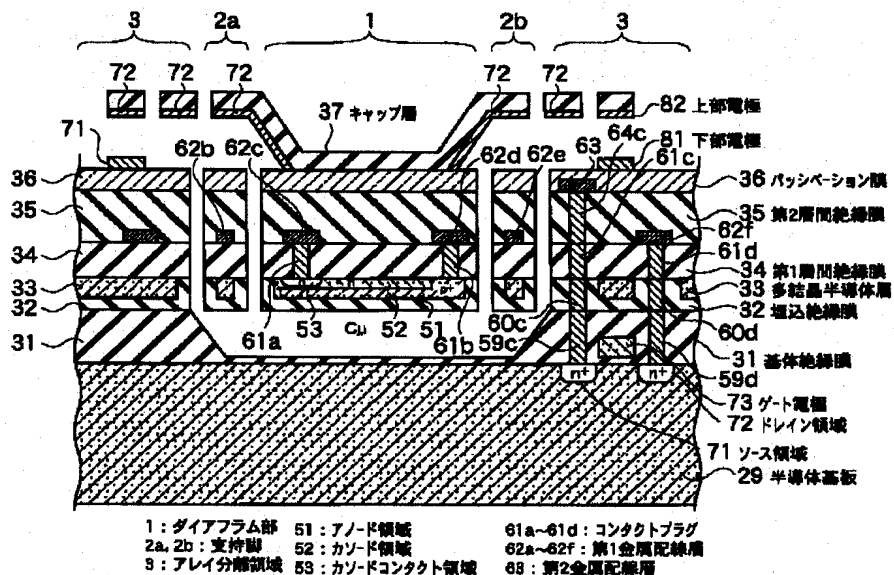
[Drawing 9]



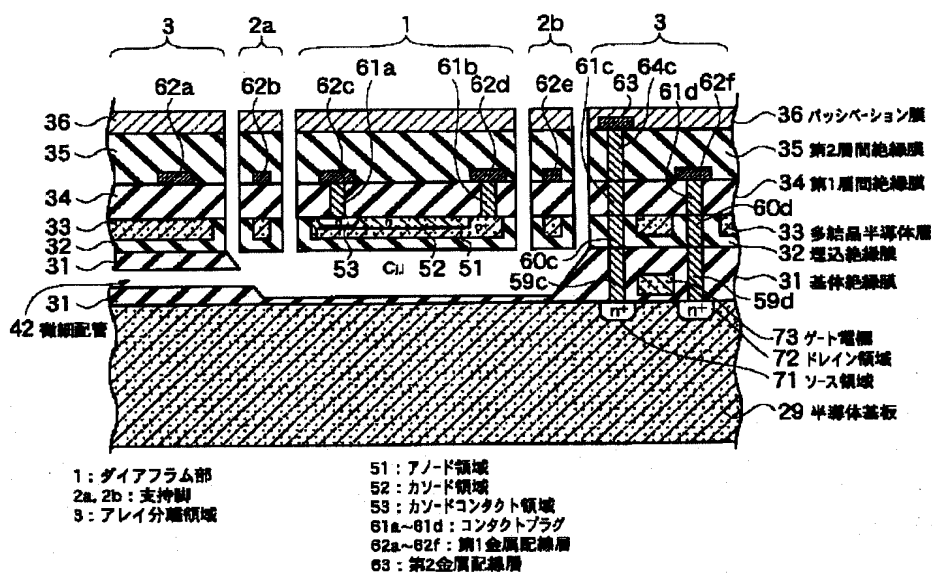
[Drawing 10]



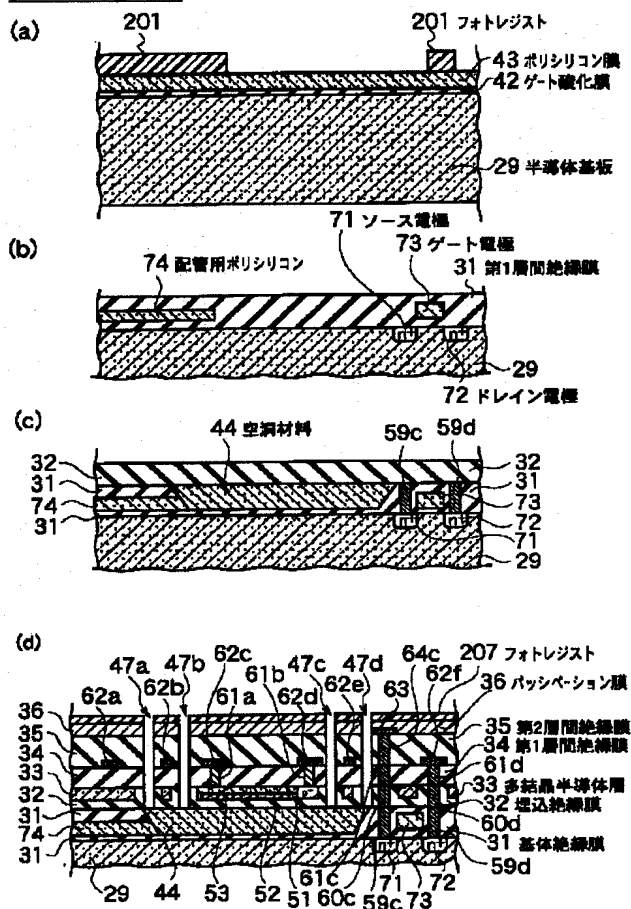
[Drawing 12]



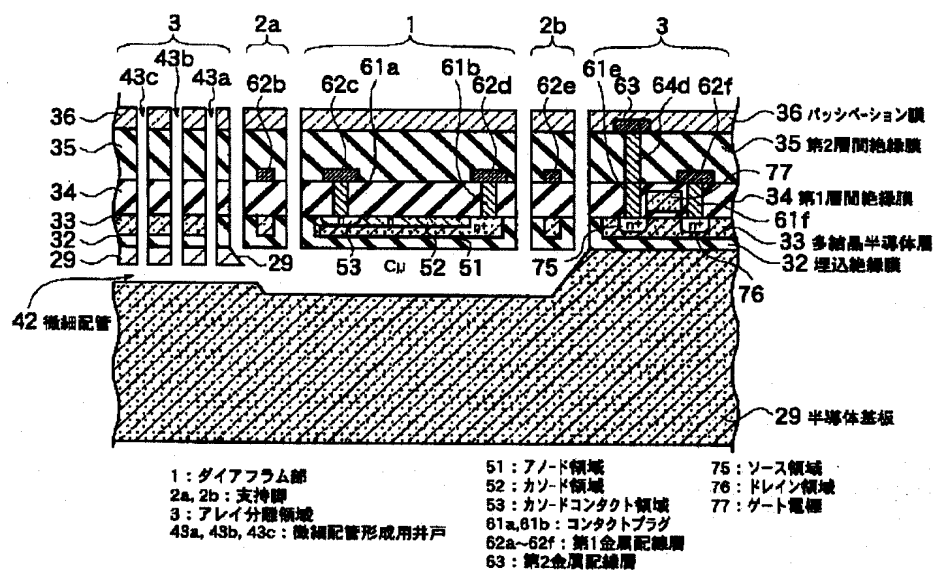
[Drawing 13]



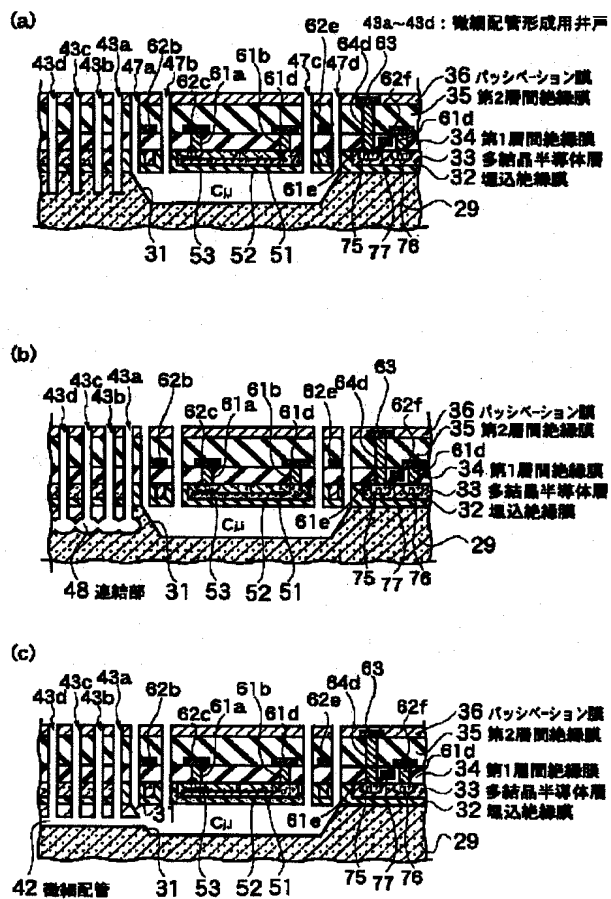
[Drawing 14]



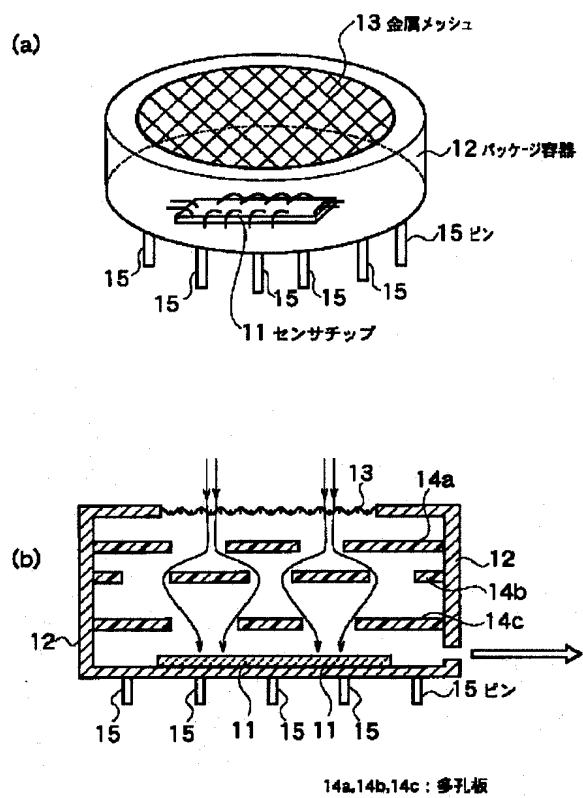
**[Drawing 15]**



[Drawing 16]



[Drawing 17]



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-83932

(P2003-83932A)

(43)公開日 平成15年3月19日(2003.3.19)

(51)Int.Cl.<sup>7</sup>

識別記号

FI

テーマコード\* (参考)

G 0 1 N 27/414

C 1 2 M 1/34

2 G 0 4 5

C 1 2 M 1/34

G 0 1 N 21/76

2 G 0 5 4

G 0 1 N 21/76

21/78

C 4 B 0 2 9

21/78

33/00

C

33/00

33/18

F

審査請求 未請求 請求項の数 7 OL (全 25 頁) 最終頁に続く

(21)出願番号

特願2001-273751(P2001-273751)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(22)出願日

平成13年9月10日(2001.9.10)

(72)発明者 成瀬 雄二郎

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72)発明者 重中 圭太郎

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(74)代理人 100083806

弁理士 三好 秀和 (外7名)

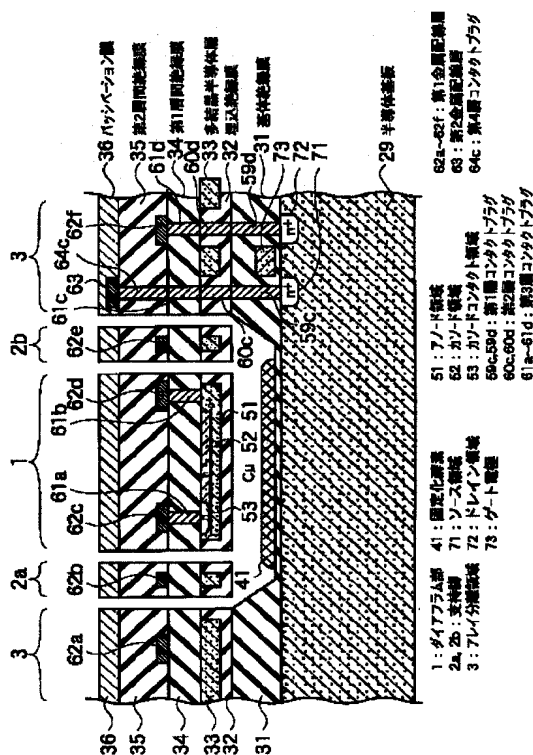
最終頁に続く

(54)【発明の名称】 センサアレイ

(57)【要約】

【課題】 大気中や水中に微生物、細菌、ウイルス、花粉等が共存している場合において、その種類の同定をしつつ安定した定量的な測定が可能なセンサアレイを提供する。

【解決手段】 検出素子(p n接合ダイオード)  $D_{j,i}$  を配置しているダイアフラム部1が、第1支持脚2aと第2支持脚2bにより中空状態でアレイ分離領域3に支持されている。アノード領域51、カソード領域52及びカソードコンタクト領域53からなる検出素子(p n接合ダイオード)  $D_{j,i}$  が、微小空洞領域  $C_{i,j}$  の蓋若しくは屋根となるダイアフラム部1の内部に収納されている。微小空洞領域  $C_{j,i}$  の内部の底部には層状の反応物である固定化酵素41が配置されている。



**【特許請求の範囲】****【請求項 1】** 基板と、

該基板上、若しくは該基板の内部にアレイ状に配列された複数の微小空洞領域と、  
該複数の微小空洞領域のそれぞれの上部を覆うように配置されたダイアフラム部と、  
該ダイアフラム部を囲むアレイ分離領域と、  
該アレイ分離領域と前記ダイアフラム部とを接続する支持脚と、  
前記ダイアフラム部の内部にそれぞれ配置され、前記微小空洞領域内の状態を検出する検出素子と、  
前記検出素子のそれぞれからの電気信号を流す複数のビット線とを含み、前記ダイアフラム部と前記アレイ分離領域との間に前記検知対象物を通過させる間隙部を設けたことを特徴とするセンサアレイ。

**【請求項 2】** 前記複数のビット線に対応してそれぞれ走行し、前記ビット線に接続された検出素子が配置された前記微小空洞領域内の温度をそれぞれ制御するためのヒータ配線を更に具備することを特徴とする請求項 1 記載のセンサアレイ。

**【請求項 3】** 前記検出素子は、前記微小空洞領域内に発生した光、温度若しくは、前記微小空洞領域内での溶液の PH の内のいずれかを測定することを特徴とする請求項 1 又は 2 記載のセンサアレイ。

**【請求項 4】** 前記間隙部の上方を覆うフリンジ部と、前記ダイアフラム部のそれぞれの頂部に底部が接続され、前記フリンジ部を支持する支持部、とからなるキャップ層を更に具備することを特徴とする請求項 1～3 のいずれか 1 項に記載のセンサアレイ。

**【請求項 5】** 前記フリンジ部の底部に設けられた上部電極と、  
該上部電極に対向して前記アレイ分離領域の頂部に設けられた下部電極とを更に具備し、前記上部電極と前記下部電極に印加する電圧により、前記フリンジ部と前記アレイ分離領域の頂部との間隔を制御することを特徴とする請求項 4 に記載のセンサアレイ。

**【請求項 6】** 前記検出素子は p n 接合ダイオード若しくはイオン検出 FET であることを特徴とする請求項 1～5 のいずれか 1 項に記載のセンサアレイ。

**【請求項 7】** 前記微小空洞領域内に、微生物の ATP と反応する発光基質及び発光酵素が配置されていることを特徴とする請求項 1～6 のいずれか 1 項記載のセンサアレイ。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、空气中又は水中の微生物、細胞、病原菌、細菌、ウイルス、プランクトン、微生物等を検出して空気（屋外、室内）或いは水質（水道水中の病原性原虫クリプトスポリジウム、川の水、海水）をモニタリングするバイオセンサに関する。

**【0002】**

**【従来の技術】** 従来、酵素センサ、微生物センサ及び免疫センサ等のバイオセンサが知られている。酵素は生体内に多数存在している物質であるが、センサとして利用されるものは酸化還元型酵素、転移酵素、加水分解酵素である。例えば、酵素を特殊な電極と組み合わせ、生成された化学物質を電極で計測し、その結果から元の化学物質を測定することが出来る。酵素センサの一つであるグリコースセンサではグリコースオキシターゼという酸化酵素を用い、血液中のグリコース（ブドウ糖）を酸化してグルコノラクトンという物質と過酸化水素を生成する。この反応で消費される酵素消費量を酵素電極で測定すれば、グルコース濃度が測定出来る。

**【0003】** 微生物センサは、酵素の代わりに微生物を固定し、微生物の代謝する物質を酵素電極で測定するのが知られている。又、免疫センサは抗原抗体反応を利用するもので、例えば高分子膜に赤血球から取り出した抗原を固定して、抗原が付着すると反応して膜電位が変動するので電位信号として対象物を検知することが出来る。

**【0004】** 以上のようにバイオセンサは主として生物化学反応を利用したものであり、測定対象物に応じて様々な生体関連物質を使用している。

**【0005】**

**【発明が解決しようとする課題】** このようにバイオセンサは高感度で対象とする特定物質を検出出来る反面、大気中や水中に微生物、細菌、ウイルス、花粉等が共存している場合には測定が複雑になり、種類の同定や安定した定量的な測定が困難である。

**【0006】** 上記問題点を鑑み、本発明は、大気中や水中に微生物、細菌、ウイルス、花粉等が共存している場合において、その種類の同定をしつつ安定した定量的な測定が可能なセンサアレイを提供することを目的とする。

**【0007】**

**【課題を解決するための手段】** 上記目的を達成するために、本発明は、（イ）基板と、（ロ）この基板上、若しくはこの基板の内部にアレイとして配列された複数の微小空洞領域と、（ハ）この複数の微小空洞領域のそれぞれの上部を覆うように配置されたダイアフラム部と、  
（ニ）このダイアフラム部を囲むアレイ分離領域と、  
（ホ）このアレイ分離領域とダイアフラム部とを接続する支持脚と、（ヘ）ダイアフラム部の内部にそれぞれ配置され、微小空洞領域内の状態を検出する検出素子と、  
（ト）検出素子のそれぞれからの電気信号を流す複数のビット線とを含むセンサアレイであることを要旨とする。ここで、ダイアフラム部とアレイ分離領域との間には、検知対象物を通過させる間隙部を設けている。後述の説明から、理解出来るように、「微小空洞領域内の状態を検出する」とは、微小空洞領域内に発生した光、温

度等の物理的特徴量の測定や、微小空洞領域内における溶液のPH等の化学的特徴量を測定するという意味である。アレイとしては、X-Yマトリクス状にピクセルを配置したエリアアレイ（2次元アレイ）でも、リニアアレイ（1次元アレイ）でも構わない。又、「基板」としては、半導体基板や絶縁性基板が採用可能である。絶縁性基板としては、酸化膜（ $\text{SiO}_2$ ）基板、即ちガラス基板の他、アルミナ（ $\text{Al}_2\text{O}_3$ ）基板、窒化アルミニウム（ $\text{AlN}$ ）基板等が採用可能である。一方、半導体基板にはSOI基板も含まれる。例えば、半導体基板上に微小空洞領域のアレイを形成し、その上部に、各微小空洞領域内の状態をセンシングするための検出素子（センサ）を形成した構造となる。更に各微小空洞領域の状態をセンシングした信号を増幅或いは転送出力するための電子回路部分等が、同一の半導体基板上に一体的に集積化されていることが好ましいことは勿論である。

【0008】一般に微生物の生態は複雑で、増殖する環境は様々である。しかしながら、寸法に関しては微生物固有の特徴を持つ。例えば、クリプトスポリジウム（病原性原虫） $\sim 5\mu\text{m}$ 、大腸菌 $\sim 3\mu\text{m}$ 、ブドウ球菌 $\sim 1\mu\text{m}$ 、ウイルス $\sim 0.1\mu\text{m}$ である。本発明の特徴によれば、半導体基板の表面に特定の開口寸法を有する空間フィルタを半導体プロセスで形成して、その下に微小空洞領域を形成して、検知対象物を通過させる間隙部をフィルタとして、微生物を選別しながら誘導することが可能である。

【0009】本発明の特徴において、微小空洞領域内に、微生物のアデノシン三リン酸（ATP）と反応する発光基質及び発光酵素が配置しておくことが好ましい。微小空洞領域内に、あらかじめ発光基質及び発光酵素が配置し、酵素或いは培養成分を供給しておけば、誘導された微生物は、そこで増殖し発光（バイオルミネッセンス）或いは温度上昇（増殖サーモグラム）を誘起する。これらを、検出素子で測定すれば良い。検出素子は発光を検出するpn接合ダイオード（フォトダイオード）、或いは、I/V特性変調型で温度上昇を検出するpn接合ダイオード等が好ましい。或いは、PHを検出するイオン検出FETでも良い。このようにしておけば、空中或いは水中に存在する微生物の種類を同定しながら、リアルタイムで、微生物の種類に対応させて微生物の存在密度をマトリクス表現等により可視化することが可能になる。

【0010】本発明の特徴において、複数のビット線に対応してそれぞれ走行し、ビット線に接続された検出素子が配置された微小空洞領域内の温度をそれぞれ制御するためのヒータ配線を更に具備することが好ましい。更に微小空洞領域の温度をヒータ配線で制御することにより、微生物を選別することが可能である。

【0011】更に、本発明の特徴において、間隙部の上方を覆うフリンジ部と、ダイアフラム部のそれぞれの頂

部に底部が接続され、フリンジ部を支持する支持部とからなるキャップ層を更に具備するようにしても良い。このキャップ層の支持部は、ダイアフラム部のそれぞれの頂部に底部が接続された中央部と、フリンジ部と中央部とを接続するスカート部とから構成される。キャップ層の中央部はスカート部に囲まれた凹部の底を構成するので、この中央部に微生物の培養物質を配置することにより、増殖サーモグラムを測定することも可能である。フリンジ部に所定の口径の空孔を設けておけば、この空孔を浮遊粒子のサイズを分類するフィルタとして使用出来る。そして、フリンジ部の底部に設けられた上部電極と、この上部電極に対向してアレイ分離領域の頂部に設けられた下部電極とを更に具備するようにすれば、上部電極と下部電極に印加する電圧により、フリンジ部とアレイ分離領域の頂部との間隔を制御することが可能になる。

#### 【0012】

【発明の実施の形態】次に、図面を参照して、本発明の第1乃至第4の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【0013】（第1の実施の形態）本発明の第1の実施の形態に係るセンサアレイは、図1に示すように、複数のビット線 $B_{i-1}$ ,  $B_i$ ,  $B_{i+1}$ , ...と、この複数のビット線 $B_{i-1}$ ,  $B_i$ ,  $B_{i+1}$ , ...に対し垂直方向に伸延する複数のワード線 $W_{j-1}$ ,  $W_j$ ,  $W_{j+1}$ , ...により構成された格子の内部に、それぞれ画素（ピクセル）を構成する微小空洞領域 $C_{j,i-1}$ ,  $C_{j,i}$ ,  $C_{j,i+1}$ ,  $C_{j+1,i-1}$ ,  $C_{j+1,i}$ ,  $C_{j+1,i+1}$ , ...が2次元配置されている。微小空洞領域 $C_{j,i-1}$ ,  $C_{j,i}$ ,  $C_{j,i+1}$ ,  $C_{j+1,i-1}$ ,  $C_{j+1,i}$ ,  $C_{j+1,i+1}$ , ...の内部には、検出対象となる微生物に応じて反応物 $X_{j,i-1}$ ,  $X_{j,i}$ ,  $X_{j,i+1}$ ,  $X_{j+1,i-1}$ ,  $X_{j+1,i}$ ,  $X_{j+1,i+1}$ , ...が配置されている。複数のビット線 $B_{i-1}$ ,  $B_i$ ,  $B_{i+1}$ , ...のそれぞれの一端は、電源V0に接続されている。複数のビット線 $B_{i-1}$ ,  $B_i$ ,  $B_{i+1}$ , ...のそれぞれの他端は、水平スイッチトランジスタ $Q_{i-1}$ ,  $Q_i$ ,  $Q_{i+1}$ , ...の第1主電極（ドレイン電極）に接続されている。水平スイッチトランジスタ $Q_{i-1}$ ,  $Q_i$ ,  $Q_{i+1}$ , ...のそれぞれの制御電極（ゲート電極）は水平シフトレジスタ102に接続されている。水平スイッチトランジスタ $Q_{i-1}$ ,  $Q_i$ ,  $Q_{i+1}$ , ...の第2主電極（ソース電極）は、水平信号線104に接続されている。複数のワード線 $W_{j-1}$ ,  $W_j$ ,  $W_{j+1}$ , ...は、それぞれ垂直シフトレジスタ101に接続されている。

【0014】微小空洞領域 $C_{j,i-1}$ ,  $C_{j,i}$ ,  $C_{j,i+1}$ ,  $C_{j+1,i-1}$ ,  $C_{j+1,i}$ ,  $C_{j+1,i+1}$ , ……のそれぞれの内部には、検出素子(p n接合ダイオード) $D_{j,i-1}$ ,  $D_{j,i}$ ,  $D_{j,i+1}$ ,  $D_{j+1,i-1}$ ,  $D_{j+1,i}$ ,  $D_{j+1,i+1}$ , ……が配置されている。p n接合ダイオード $D_{j,i-1}$ ,  $D_{j,i}$ ,  $D_{j,i+1}$ ,  $D_{j+1,i-1}$ ,  $D_{j+1,i}$ ,  $D_{j+1,i+1}$ , ……は、それぞれ対応する垂直スイッチングトランジスタ $T_{j,i-1}$ ,  $T_{j,i}$ ,  $T_{j,i+1}$ ,  $T_{j+1,i-1}$ ,  $T_{j+1,i}$ ,  $T_{j+1,i+1}$ , ……の第1主電極(ドレイン電極)に接続されている。ビット線 $B_{i-1}$ に隣接した列(コラム)に属する垂直スイッチングトランジスタ $T_{j,i-1}$ ,  $T_{j+1,i-1}$ , ……の第2主電極(ソース電極)は、ビット線 $B_{i-1}$ に接続されている。ビット線 $B_i$ に隣接した列(コラム)に属する垂直スイッチングトランジスタ $T_{j,i}$ ,  $T_{j+1,i}$ , ……の第2主電極(ソース電極)は、ビット線 $B_i$ に接続されている。更に、ビット線 $B_{i+1}$ に隣接した列(コラム)に属する垂直スイッチングトラン

$$\cdots > \Delta_{i-1} > \Delta_i > \Delta_{i+1} > \cdots \quad \cdots (1)$$

とすることで、垂直ヒータ線 $V_{i-1}$ ,  $V_i$ ,  $V_{i+1}$ , ……

$$\cdots < r_{i-1} < r_i < r_{i+1} < \cdots \quad \cdots (2)$$

となる。したがって、ヒータ線の発熱量 $P_i$ は、ヒータ

$$P_i = (V_h)^2 / r_i \quad \cdots (3)$$

で与えられるので、垂直ヒータ線 $V_{i-1}$ ,  $V_i$ ,  $V_{i+1}$ , ……

$$\cdots > T_{i-1} > T_i > T_{i+1} > \cdots \quad \cdots (4)$$

となる。

【0016】図2は、微小空洞領域 $C_{j,i}$ を有するピクセルの上面図(平面図)である。本発明の第1の実施の形態に係るセンサアレイのピクセルは、微小空洞領域 $C_{j,i}$ の上部を覆うように配置されたダイアフラム部1と、このダイアフラム部1を囲むアレイ分離領域3と、このアレイ分離領域3とダイアフラム部1とを接続する第1支持脚2a、第2支持脚2bと、ダイアフラム部1の内部にそれぞれ配置され、微小空洞領域 $C_{j,i}$ 内の状態を検出する(p n接合ダイオード) $D_{j,i}$ と、ダイアフラム部1に隣接し、微小空洞領域 $C_{j,i}$ のそれぞれに設けられた間隙部47a、47b、47c、47dとを有している。図2に示すように、検出素子 $D_{j,i}$ を、中空状態でアレイ分離領域3に支持することにより、ピクセルの基体となる半導体基板の温度から熱的に分離し、検出素子 $D_{j,i}$ による正確な温度測定を可能になる。図2の微小空洞領域 $C_{j,i}$ を覗く溝部47aと溝部47cとが結合するコーナ部の正方形(間隙部)の一辺の寸法 $R_j$ と、溝部47bと溝部47dとが結合するコーナ部の正方形(間隙部)の一辺の寸法 $R_j$ とが、検知対象物のサイズを考慮して寸法が決定された微生物選択フィルタの開口寸法となる。

【0017】図3は、図2のA-A方向に沿った断面図で、基板(半導体基板)29と、この基板(半導体基板)29上にアレイとして配列された微小空洞領域 $C_{i,j}$ と、この微小空洞領域 $C_{i,j}$ の上部を覆うように配置

ジスタ $T_{j,i+1}$ ,  $T_{j+1,i+1}$ , ……の第2主電極(ソース電極)は、ビット線 $B_{i+1}$ に接続されている。ワード線 $W_j$ に隣接した行に属する垂直スイッチングトランジスタ $T_{j,i-1}$ ,  $T_{j,i}$ ,  $T_{j,i+1}$ , ……の制御電極(ゲート電極)は、ワード線 $W_j$ に接続されている。又、ワード線 $W_{j+1}$ に隣接した行に属する垂直スイッチングトランジスタ $T_{j+1,i-1}$ ,  $T_{j+1,i}$ ,  $T_{j+1,i+1}$ , ……の制御電極(ゲート電極)は、ワード線 $W_{j+1}$ に接続されている。

【0015】更に、ビット線 $B_{i-1}$ ,  $B_i$ ,  $B_{i+1}$ , ……と平行して、線幅 $\Delta_{i-1}$ ,  $\Delta_i$ ,  $\Delta_{i+1}$ , ……の垂直ヒータ線 $V_{i-1}$ ,  $V_i$ ,  $V_{i+1}$ , ……が走行している。垂直ヒータ線 $V_{i-1}$ ,  $V_i$ ,  $V_{i+1}$ , ……の一端は、水平ヒータ線 $V_t$ に集合され、ヒータ用電源103に接続されている。垂直ヒータ線 $V_{i-1}$ ,  $V_i$ ,  $V_{i+1}$ , ……の他端は、水平ヒータ線 $V_b$ に集合され、接地されている。垂直ヒータ線 $V_{i-1}$ ,  $V_i$ ,  $V_{i+1}$ , ……のそれぞれの線幅を

のそれぞれの抵抗値は、

$$\cdots (2)$$

用電源103の電圧を $V_h$ とすれば、

$$\cdots (3)$$

…のそれぞれの温度は、

$$\cdots (4)$$

されたダイアフラム部1と、このダイアフラム部1を囲むアレイ分離領域3と、このアレイ分離領域3とダイアフラム部1とを接続する支持脚2a、2bと、ダイアフラム部1の内部にそれぞれ配置され、微小空洞領域 $C_{i,j}$ 内の状態を検出する検出素子(51, 52, 53)と、ダイアフラム部1に隣接し、微小空洞領域 $C_{i,j}$ のそれぞれに設けられ、検知対象物のサイズを考慮して寸法が決定された、検知対象物を通過させる間隙部とからなるピクセルの構造を示している。アノード領域51、カソード領域52及びカソードコンタクト領域53からなる検出素子(p n接合ダイオード) $D_{j,i}$ が、微小空洞領域 $C_{i,j}$ の蓋若しくは屋根となるダイアフラム部1の内部に収納されていることを示す。微小空洞領域 $C_{j,i}$ の内部の底部には層状の反応物 $X_{j,i}$ である固定化酵素41が配置されている。反応物 $X_{j,i}$ は、検出対象となる微生物に応じて選択される。微小空洞領域 $C_{i,j}$ は、p型半導体基板(シリコン基板)29の表面に配置された基体絶縁膜31の一部を選択的に除去した凹部として構成されている。図3は、p n接合ダイオード $D_{j,i}$ のアノード領域51、カソード領域52及びカソードコンタクト領域53は、それぞれ不純物をドーブしたポリシリコン(以下において「ドーブドポリシリコン」という。)から構成された場合を示している。なお、後述するように、SOI基板等を用いれば、ドーブドポリシリコンの代わりに単結晶半導体層(単結晶シリコン層)で検出素子(p n接合ダイオード) $D_{j,i}$ を構

成することが可能である。垂直スイッチングトランジスタ $T_{j,i}$  (71, 72, 73) は、図3に示す例では、p型半導体基板(シリコン基板)29の内部の表面近傍に配置されているが、検出素子 $D_{j,i}$ と同一水平レベルに構成することも可能である。

【0018】即ち、垂直スイッチングトランジスタ $T_{j,i}$ は、p型半導体基板(シリコン基板)29の内部の表面近傍に配置されたn型ソース領域71、n型ドレイン領域72、これらのn型ソース領域71とn型ドレイン領域72との間のp型半導体基板29の表面のゲート酸化膜、ゲート酸化膜上のポリシリコンゲート電極73から構成されている。この垂直スイッチングトランジスタ $T_{j,i}$ のポリシリコンゲート電極73は、同時にワード線 $W_j$ として機能している。したがって、隣接するピクセルには、同様に、垂直スイッチングトランジスタ $T_{j-1,i}$ 、 $T_{j+1,i}$ 、……のポリシリコンゲート電極であるワード線 $W_{j-1}$ 、 $W_{j+1}$ 、……が走行している。

【0019】そして、この垂直スイッチングトランジスタ $T_{j-1,i}$ 、 $T_{j,i}$ 、 $T_{j+1,i}$ 、……の上部に、層間絶縁膜として機能する基体絶縁膜31が配置されている。前述したように、この基体絶縁膜31の一部が、選択的に除去され、その除去されたスペースが、本発明の第1の実施の形態に係る微小空洞領域 $C_{i,j}$ を構成している。なお、微小空洞領域 $C_{i,j}$ の側壁側に位置する基体絶縁膜31には、複数の第1層コンタクトプラグ59c、59d、……(接続導体)59c、59d、……が、基体絶縁膜31を貫通するように埋め込まれている。複数の第1層コンタクトプラグ59c、59d、……は、垂直スイッチングトランジスタ $T_{j,i}$ を構成するn型ソース領域71、n型ドレイン領域72、或いは周辺回路を構成する他のトランジスタ等に接続される基体絶縁膜31に埋め込まれた接続導体である。

【0020】微小空洞領域 $C_{i,j}$ の上部には、埋込絶縁膜32が、微小空洞領域 $C_{i,j}$ の蓋若しくは屋根として配置されている。埋込絶縁膜32は、図3の断面図上では、あたかも中央のダイアフラム部1、ダイアフラム部1の両側の支持脚部2a、2b、支持脚部2a、2bの両側のアレイ分離領域3に分割されているかのように示されている。しかし、図2に明らかなように、平面パターンとしては、ダイアフラム部1、支持脚部2a、2b、及びアレイ分離領域3は連続した一体の領域である。埋込絶縁膜32には、溝部が設けられ、この溝部の内部には多結晶半導体層(p+型ドーパドポリシリコン)33が埋め込まれている。中央のダイアフラム部1の埋込絶縁膜32の内部に埋め込まれたp+型ドーパドポリシリコンは、検出素子(pn接合ダイオード) $D_{j,i}$ のアノード領域51であり、n型ドーパドポリシリコンからなるカソード領域52がアノード領域51の表面に選択的に配置され、pn接合を構成している。更にn+型ドーパドポリシリコンからなるカソードコンタ

クト領域53がカソード領域52の表面に選択的に配置され、アノード領域51、カソード領域52及びカソードコンタクト領域53とで、pn接合ダイオード $D_{j,i}$ を構成している。なお、アレイ分離領域3の埋込絶縁膜32の内部には、複数の第2層コンタクトプラグ60c、60d、……(接続導体)が、埋込絶縁膜32を貫通して埋め込まれている。第2層コンタクトプラグ60c、60d、……は、第1層コンタクトプラグ59c、59d、……を介して、n型ソース領域71及びn型ドレイン領域72等にそれぞれ電氣的に接続されている。

【0021】カソードコンタクト領域53、カソード領域52、p+型ドーパドポリシリコン33及びこれらに挟まれて露出した埋込絶縁膜32の上部には第1層間絶縁膜34が配置されている。第1層間絶縁膜34の上には第1金属配線層62a、62b、……、62fが配置されている。第1金属配線層62cとカソードコンタクト領域53とは、第1層間絶縁膜34を貫通する第3層コンタクトプラグ61aにより接続されている。第1金属配線層62dとアノード領域51とは、第1層間絶縁膜34を貫通する第3層コンタクトプラグ61bにより接続されている。なお、アノード領域51を比較的低不純物密度のp型ドーパドポリシリコン領域とし、第3層コンタクトプラグ61bとは、アノード領域51の一部に選択的に形成された比較的高不純物密度のp+型ドーパドポリシリコンからなるアノードコンタクト領域を介して接続するようにしても良い。更に第3層コンタクトプラグ61d、第2層コンタクトプラグ60d、及び第1層コンタクトプラグ59dを介して、第1金属配線層62fと垂直スイッチングトランジスタ $T_{j,i}$ のn型ドレイン領域72とが電氣的に接続されている。図3の断面図上では、第1金属配線層62c、62e、62fはあたかも独立した配線のように示されているが、平面パターン上では、第1金属配線層62c、62e、62fは連続した1本の電気配線である。したがって、第1金属配線層62c、62e、62f、第3層コンタクトプラグ61d、第2層コンタクトプラグ60d及び第1層コンタクトプラグ59dを介して、pn接合ダイオード $D_{j,i}$ のカソードコンタクト領域53と垂直スイッチングトランジスタ $T_{j,i}$ のn型ドレイン領域72とが電氣的に接続されている(図1の等価回路参照。)

【0022】更に、第1金属配線層62a、62b、……、62fの上部には、第2層間絶縁膜35が配置されている。第2層間絶縁膜35の上には、第2金属配線層63が配置されている。図3においては、第2金属配線層63があたかも紙面に垂直方向に走行しているように描かれているが、実際は、紙面と平行方向のビット線 $B_i$ のパターンとなる。即ち、ビット線 $B_i$ は、ポリシリコンゲート電極73(ワード線 $W_j$ )と直交する方向に走行している。又、第2層間絶縁膜35の内部には、第

2層間絶縁膜35を貫通する第4層コンタクトプラグ64cが埋め込まれている(図示省略)。第4層コンタクトプラグ64cは、第3層コンタクトプラグ61cの頂部に接続されている。したがって、第2金属配線層63(ビット線 $B_i$ )は、第4層コンタクトプラグ64c、第3層コンタクトプラグ61c、第2層コンタクトプラグ60c、第1層コンタクトプラグ59cを介して、垂直スイッチングトランジスタ $T_{j,i}$ のn型ソース領域71に電氣的に接続されている。図示を省略しているが、隣接するピクセルにも、ビット線 $B_{i-1}$ 、 $B_{i+1}$ 、……が第2金属配線層により形成され、走行している。ビット線 $B_{i-1}$ 、 $B_i$ 、 $B_{i+1}$ 、……と平行して、線幅 $\Delta_{i-1}$ 、 $\Delta_i$ 、 $\Delta_{i+1}$ 、……の第2金属配線層として、垂直ヒータ線 $V_{i-1}$ 、 $V_i$ 、 $V_{i+1}$ 、……が走行しているが、図3の断面図には、現れていない(紙面の手前、及び奥を、紙面に平行に走行している。)。なお、ヒータ線 $V_{i-1}$ 、 $V_i$ 、 $V_{i+1}$ 、……を第1金属配線層62a～62fと同一レベルの配線を用いて、紙面に平行に走行しても構わない。そして、第2金属配線層63の上部に、パッシベーション膜36が配置されている。

【0023】微小空洞領域 $C_{i,j}$ の上部の、埋込絶縁膜32、検出素子(p n接合ダイオード) $D_{j,i}$ (51, 52, 53)、第1層間絶縁膜34、第1金属配線層(62c, 62d)、第2層間絶縁膜35及びパッシベーション膜36とで、ダイアフラム部1を構成している。ダイアフラム部1の熱容量Cは、例えば、 $C=0.01\sim0.1\mu\text{J}/\text{K}$ 程度に選定すれば良い。そして、このダイアフラム部1は、中空状態の支持脚62a、62bによって、アレイ分離領域3に固定されている。微小空洞領域 $C_{i,j}$ の底部には、ルシフェリン・ルシフェラーゼ等の酵素が、高分子材料に包み込まれた固定化酵素41の形態で、反応物 $X_{i,j}$ として配置されている。

【0024】一般に微生物は、その種類に対応して、固有の寸法を持つ。例えば、クリプトスポリジウム(病原性原虫)は $\sim 5\mu\text{m}$ 、大腸菌は $\sim 3\mu\text{m}$ 、ブドウ球菌は $\sim 1\mu\text{m}$ 、ウイルスは $\sim 0.1\mu\text{m}$ である。したがって、図2に示すように、半導体基板29の表面に特定の開口寸法 $R_j$ を有する空間フィルタを設けておけば、その下の微小空洞領域 $C_{i,j}$ に、この空間フィルタで微生物の寸法を選別しながら誘導出来る。微小空洞領域 $C_{i,j}$ 内には図3に示すように、あらかじめ、特定の微生物に対応した固定化酵素(或いは培養成分)41等の反応物 $X_{i,j}$ が配置されているので、誘導された微生物は反応物 $X_{i,j}$ で増殖し、発光(バイオルミネッセンス)或いは温度上昇(増殖サーモグラム)する。

【0025】例えば、反応物 $X_{i,j}$ として、ルシフェリン・ルシフェラーゼ(発光基質・発光酵素)が固定されている場合で説明する。この場合、検知対象は空中の微生物であり、 $\alpha$ をルシフェリン・ルシフェラーゼ(発光基質・発光酵素)、 $\beta$ を微生物が出すATP(アデノシ

ン三リン酸)、 $h\nu$ を可視発光とすれば、

$$\alpha + \beta \Rightarrow h\nu \quad \dots\dots (5)$$

の反応式により、その発光 $h\nu$ を、ダイアフラムの下側表面付近に形成されているp n接合ダイオードD

$j, i-1$ 、 $D_{j,i}$ 、 $D_{j,i+1}$ 、 $D_{j+1,i-1}$ 、 $D_{j+1,i}$ 、 $D_{j+1,i+1}$ 、……をフォトダイオード(光センサ)として機能させ、p n接合ダイオード $D_{j,i-1}$ 、 $D_{j,i}$ 、 $D_{j,i+1}$ 、 $D_{j+1,i-1}$ 、 $D_{j+1,i}$ 、 $D_{j+1,i+1}$ 、……により発光 $h\nu$ を電流に変換する。この電流(電気信号)は、垂直シフトレジスタ101及び水平シフトレジスタ102でランダムアクセスされ、図1に示す水平スイッチトランジスタ $Q_{i-1}$ 、 $Q_i$ 、 $Q_{i+1}$ 、……を介して水平信号線104に読み出すことが出来る。

【0026】例えば、開口寸法 $R_j$ を $5\mu\text{m}$ に設定しておけば、そのサイズ以下の空中菌(赤カビ病菌、イモチ病菌、肺炎球菌、ブドウ球菌等)が検出出来る。各ピクセルセルからの電流信号は、図1に示す垂直シフトレジスタ101及び水平シフトレジスタ102でランダムアクセスすることにより、通常のCMOSイメージセンサと同様な方式で、画像化を行うことが可能である。画像化を行うことにより、どの程度の気中密度で空中菌が存在するかを判定出来る。即ち、微小空洞領域内に空中菌が入り込む確率的な現象を定量的に測定可能である。

【0027】特に、空中菌は、様々なサイズが存在するだけでなく、増殖するための最適環境に温度依存性がある。したがって、図4(b)に示すように、画素(ピクセル)を構成する微小空洞領域 $C_{11}$ 、 $C_{12}$ 、……、 $C_{21}$ 、……、 $C_{MN}$ の測定温度 $T_1$ 、 $T_2$ 、 $T_3$ 、……、 $T_N$ と開口寸法 $R_1$ 、 $R_2$ 、 $R_3$ 、……、 $R_M$ をマトリクス状に組み合わせておけば、空中菌を測定温度 $T_1$ 、 $T_2$ 、 $T_3$ 、……、 $T_N$ と開口寸法 $R_1$ 、 $R_2$ 、 $R_3$ 、……、 $R_M$ とで分類しながら、同時計測して、その分類を2次元画像化することが可能である。

【0028】図4(a)は、空中菌を4種類に分類しながら同時計測して2次元画像化した例を示す。図4

(a)において、領域Aは寸法が $1\mu\text{m}$ 以下でATP放出型細菌、領域Bは寸法が $5\mu\text{m}$ 以下でATP放出型細菌、領域Cは寸法が $1\mu\text{m}$ 以下で合成培養液S増殖型細菌、領域Dは寸法が $5\mu\text{m}$ 以下で合成培養液S増殖型細菌として、分類表示される。領域A及び領域Bには、反応物 $X_{i,j}$ として発光酵素R又は発光基質Rが配置される。領域Aと領域Bに対してはバイオルミネッセンス測定のためにp n接合ダイオード $D_{j,i}$ を光センサとして動作させ、又領域Cと領域Dに対しては増殖サーモグラム測定のためにp n接合ダイオード $D_{j,i}$ を温度センサ(IV特性変調型ダイオード)として動作させる。

【0029】典型的な微生物の物質代謝熱は1個当たり $10\text{pJ}$ であるので、1000個の微生物が増殖中であれば、発生エネルギーSは $S=0.01\mu\text{J}$ となる。これを熱容量 $C=0.1\mu\text{J}/\text{K}$ のダイアフラム上で観測

すると、温度変化 $\Delta T$ は、

$$\Delta T = S / C = 0.1 \text{ K}$$

程度の値になるので、pn接合ダイオード $D_{j,i}$ で容易に検出可能な温度変化 $\Delta T$ である。

【0030】以上のように、本発明の第1の実施の形態に係るセンサアレイによって、従来は困難であった空中或いは水中に存在する微生物の種類を同定しながらリアルタイムにその微生物の寸法で分類した存在密度を2次元画像として可視化することが可能になる。更に、微生物の活性度や増殖状態の時間的変化を、2次元画像上でイメージ化して測定可能となる。

【0031】図5～図7を用いて、微小空洞領域 $C_{i,j}$ のピクセルに着目して、本発明の第1の実施の形態に係るセンサアレイの製造方法を説明する。なお、以下に述べるセンサアレイの製造方法は、一例であり、この変形例を含めて、これ以外の種々の製造方法により、実現可能であることは勿論である。

【0032】(イ) まず、半導体基板29として、 $0.1 \sim 3 \Omega \text{ cm}$ 程度の(100)面を主表面とするp型シリコンウェハを用意する。この半導体基板29の主表面にシフトレジスタやセンス増幅器等のセンサアレイの周辺回路を形成する。これは通常の標準的なMOS集積回路の製造方法によれば良い。詳細は省略するが、反転防止層(チャネルストップ領域)、素子分離領域等の標準的なMOS集積回路に必要な領域を形成した後、半導体基板29の表面を熱酸化して、厚さ50nm～100nmのゲート酸化膜42を形成する。この際 $V_{th}$ 制御イオン注入を加えても良い。次に、ゲート酸化膜42の上の全面にCVD法によりポリシリコン膜43を300nm～600nm程度、例えば400nm堆積する。次にフォトレジスト膜(以下において、単に「フォトレジスト」という。)201をポリシリコン膜43の表面にスピン塗布する。そして、フォトリソグラフィ技術により、図5(a)に示すように、フォトレジスト201をパターンニングする。そして、このフォトレジスト201をマスクとして、反応性イオンエッチング(RIE)等によりポリシリコン膜43をエッチングして、ゲート電極73及びポリシリコン配線(図示しない)を形成する。その後、フォトレジスト201を除去し、新たなフォトレジストをゲート電極73の表面にスピン塗布する。そして、次に、フォトリソグラフィ技術を用いて、MOSトランジスタ形成領域にイオン注入用開口部を形成し、ポリシリコンゲート電極73を露出させる。そして、露出したポリシリコンゲート電極73と新たなフォトレジストをマスクとして、自己整合的に、ヒ素イオン( $^{75}\text{As}^+$ )をドーズ量 $10^{15} \text{ cm}^{-2}$ のオーダーでイオン注入する。この時、ポリシリコンゲート電極73にもヒ素( $^{75}\text{As}^+$ )がイオン注入される。新たなフォトレジストを除去してから、半導体基板29を熱処理し、注入した不純物イオンを活性化及び拡散し、図5

……(6)

(b)に示すように半導体基板29にn型ソース領域71及びn型ドレイン領域72を形成し、この結果、垂直スイッチングトランジスタ $T_{j,i}$ が形成される。垂直スイッチングトランジスタ $T_{j,i}$ のポリシリコンゲート電極73は、ワード線 $W_j$ として機能する。したがって、隣接するピクセルには、同様に、垂直スイッチングトランジスタ $T_{j-1,i}$ 、 $T_{j+1,i}$ 、……のポリシリコンゲート電極であるワード線 $W_{j-1}$ 、 $W_{j+1}$ 、……が走行している。

【0033】(ロ) 次に、図5(b)に示すように、垂直スイッチングトランジスタ $T_{j-1,i}$ 、 $T_{j,i}$ 、 $T_{j+1,i}$ 、……や周辺回路のMOS集積回路に対しては層間絶縁膜として機能する基体絶縁膜31を、厚さ $1 \mu\text{m}$ 程度に堆積する。この基体絶縁膜31は、CVD法により堆積された膜厚 $0.5 \mu\text{m}$ 程度の酸化膜と、この酸化膜の上の膜厚 $0.5 \mu\text{m}$ 程度のPSG膜又はBPSG膜の2層構造から構成された複合膜である。この複合膜の上層のBPSG膜は、リフローされて基体絶縁膜31の表面が平坦化される。

【0034】(ハ) 次に、基体絶縁膜31の上に、フォトレジストをスピン塗布する。そして、フォトリソグラフィ技術によりフォトレジストをパターンニングする。このパターンニングされたフォトレジストをマスクとして、基体絶縁膜31をRIEでエッチングし、図示しない、n型ソース領域71及びn型ドレイン領域72に対するコンタクトホールを開口する。更に、コンタクトホール開口に用いたフォトレジストを除去し、基体絶縁膜31の上に、新たなフォトレジストをスピン塗布する。そして、フォトリソグラフィ技術により新たなフォトレジストをパターンニングする。このパターンニングされた新たなフォトレジストをマスクとして、基体絶縁膜31を等方性エッチングでエッチングし、微小空洞領域 $C_{i,j}$ を形成する。微小空洞領域 $C_{i,j}$ の底部には、100nm程度の基体絶縁膜31を残存させる。そして、コンタクトホール及び微小空洞領域 $C_{i,j}$ を埋めるように、厚さ $1.2 \sim 1.5 \mu\text{m}$ の空洞材料(ポリシリコン)44をCVD法を用いて堆積する。CVD法を用いてポリシリコン44を堆積する際、ソースガスのモノシラン( $\text{SiH}_4$ )と同時に、水素ガスで希釈したジボラン( $\text{B}_2\text{H}_6$ )を、マスフローコントローラで制御しながら添加しp+型ドーパドポリシリコン44を堆積する。或いは、ノンドーパドポリシリコン44を堆積の後、イオン注入若しくは気相拡散(プレデポジション)により、ボロン(B)等のp型不純物を拡散して、p+型ドーパドポリシリコン44にしても良い。そして、化学的機械研磨(CMP)を用いて、空洞材料(p+型ドーパドポリシリコン)44の表面を基体絶縁膜31が露出するまで平坦化させ、空洞材料(p+型ドーパドポリシリコン)

44をコンタクトホール及び微小空洞領域 $C_{i,j}$ の内部に埋め込む。コンタクトホールの内部に埋め込められたp+型ドーパドポリシリコン44は、n型ソース領域71及びn型ドレイン領域72に対する第1層コンタクトプラグ(接続導体)59c, 59d, ……として機能する。その後、図5(c)に示すように、埋込絶縁膜32を厚さ1 $\mu$ m程度に堆積する。この埋込絶縁膜32としては、CVD法により酸化膜を堆積すれば良い。

【0035】(ニ)次に、この埋込絶縁膜32の上にフォトレジストをスピン塗布し、フォトリソグラフィ技術によりフォトレジストをパターニングする。このパターニングされたフォトレジストをマスクとして、埋込絶縁膜32をRIEでエッチングし、第1層コンタクトプラグ59c, 59d, ……にそれぞれ接続する第1層バイアホール(図示省略)を開口する。更に、第1層バイアホールの開口に用いたフォトレジストを除去し、埋込絶縁膜32の上に、新たなフォトレジスト202をスピン塗布する。そして、フォトリソグラフィ技術により、フォトレジスト202をパターニングする。このパターニングされたフォトレジスト202をマスクとして、埋込絶縁膜32をRIEでエッチングし、図5

(d)に示すように、埋込絶縁膜32に対して、溝部45a, 45b, ……、45fを形成する。溝部45a, 45b, ……、45fのそれぞれの底部には、100nm程度の埋込絶縁膜32を残存させる。

【0036】(ホ)そして、溝部45a, 45b, ……、45f、及びn型ソース領域71及びn型ドレイン領域72に接続する第1層バイアホール(図示省略)を埋めるように、CVD法を用いて、厚さ1.0~1.5 $\mu$ mの多結晶半導体層(ポリシリコン)33を堆積する。CVD法を用いてポリシリコン33を堆積する際、前述と同様に、 $SiH_4$ と同時に、 $B_2H_6$ を添加しp+型ドーパドポリシリコン33をインシツ(in-situ)で堆積しても良く、ノンドーパドポリシリコン33を堆積の後、p型不純物を拡散して、p+型ドーパドポリシリコン33にしても良い。更に、CMPを用いて、図6

(e)に示すように、p+型ドーパドポリシリコン33の表面を埋込絶縁膜32が露出するまで平坦化させ、p+型ドーパドポリシリコン33を溝部45a, 45b, ……、45f及び図示を省略した第1層バイアホールのそれぞれの内部に埋め込む。第1層バイアホールの内部に埋め込められたp+型ドーパドポリシリコン33は、n型ソース領域71及びn型ドレイン領域72に対する第2層コンタクトプラグ60c, 60dとして機能する。

【0037】(ヘ)次に、このp+型ドーパドポリシリコン33の上に、フォトレジスト203をスピン塗布する。そして、フォトリソグラフィ技術により、フォトレジスト203をパターニングし、パターニングされたフォトレジスト203をマスクとして、リンイオン( $^{31}$

P+)等のn型不純物イオンを、図6(f)に示すようにイオン注入する。ドーズ量は、p+型ドーパドポリシリコン33をタイプ反転可能な量に選定する。フォトレジスト203を除去後、熱処理し、n型不純物イオンを活性化し、カソード領域52をp+型ドーパドポリシリコン33の表面に選択的に形成する。そして、カソード領域52及びp+型ドーパドポリシリコン33の上に、新たなフォトレジスト204をスピン塗布し、フォトリソグラフィ技術により、フォトレジスト204をパターニングする。パターニングされたフォトレジスト204をマスクとして、図6(g)に示すように、ヒ素イオン( $^{75}As^+$ )等のn型不純物イオンを $2 \times 10^{15} cm^{-2}$ 程度のドーズ量でイオン注入する。フォトレジスト204を除去後、熱処理し、n型不純物イオンを活性化し、カソードコンタクト領域53を、カソード領域52の表面に選択的に形成する。アノード領域51、カソード領域52及びカソードコンタクト領域53とで、pn接合ダイオード $D_{j,i}$ を構成している。

【0038】(ト)カソードコンタクト領域53、カソード領域52、p+型ドーパドポリシリコン33及びこれらに挟まれて露出した埋込絶縁膜32の上部に、厚さ0.3 $\mu$ m~0.8 $\mu$ mの第1層間絶縁膜34を、CVD法により堆積する。この第1層間絶縁膜34は、酸化膜(NSG膜)、PSG膜若しくはBPSG膜、又はこれらの内の2層以上の組み合わせから構成された複合膜でも良い。この第1層間絶縁膜34の上に、フォトレジスト205をスピン塗布し、フォトリソグラフィ技術により、フォトレジスト205をパターニングする。このパターニングされたフォトレジスト205をマスクとして、第1層間絶縁膜34をRIEでエッチングし、図6(h)に示すように、コンタクトホール46a, 46b、及び第2層コンタクトプラグ60c, 60dに接続される第2層バイアホール46c, 46dを開口する。フォトレジスト205を除去後、第1層間絶縁膜34の上に、プラグ用導電膜を堆積する。そして、CMPを用いて、プラグ用導電膜の表面を第1層間絶縁膜34が露出するまで平坦化させ、第3層コンタクトプラグ61a, 61b, 61c, 61d, ……をコンタクトホール46a, 46b, 46c, 46dの内部に埋め込む。第3層コンタクトプラグ61c及び61dは、それぞれ図示しない第2層バイアホールの内部に埋め込まれ、第2層コンタクトプラグ60c及び60d及び第1層コンタクトプラグ59c及び59dを介して、垂直スイッチングトランジスタ $T_{j,i}$ のn型ソース領域71及びドレイン領域72に電気的に接続される。第3層コンタクトプラグ61a, 61b, 61c, 61d, ……用のプラグ用導電膜としては、タングステン(W)、チタン(Ti)、モリブデン(Mo)等の高融点金属、これらのシリサイド( $WSi_2$ ,  $TiSi_2$ ,  $MoSi_2$ )等をCVD法、真空蒸着法、スパッタリング法等で堆積す

れば良い。或いはこれらのシリサイドを用いたポリサイドをCVD法で堆積して形成しても良い。

【0039】(チ)次に、第3層コンタクトプラグ61a, 61b, 61c, 61d, ……及び第1層間絶縁膜34の上に、厚さ $0.3\mu\text{m}\sim 1\mu\text{m}$ の第1層金属膜62をCVD法、真空蒸着法、スパッタリング法等で堆積する。第1層金属膜62としては、W、Ti、Mo等の高融点金属の他アルミニウム(A1)等が使用可能である。この第1層金属膜62の上に、フォトレジスト206をスピン塗布し、フォトリソグラフィ技術により、フォトレジスト206を図6(i)に示すように、パターンニングする。

【0040】(リ)このパターンニングされたフォトレジスト206をマスクとして、第1層金属膜62をRIEでエッチングし、第1金属配線層62a, 62b, ……、62fをパターンニングする。図7(j)の断面図上では、第1金属配線層62c, 62e, 62fはあたかも独立した配線のように示されているが、平面パターン上では、第1金属配線層62c, 62e, 62fは連続した1本の電気配線である。第1金属配線層62c, 62e, 62fにより、pn接合ダイオード $D_{j,i}$ のカソードコンタクト領域53と垂直スイッチングトランジスタ $T_{j,i}$ のn型ドレイン領域72とが、第3層コンタクトプラグ61d、第2層コンタクトプラグ60d及び第1層コンタクトプラグ59dを介して電氣的に接続される。そして、第1金属配線層62a, 62b, ……、62fの上部に、厚さ $0.8\mu\text{m}\sim 1.5\mu\text{m}$ の第2層間絶縁膜35を、図7(j)に示すように、CVD法により堆積する。この第2層間絶縁膜35は、NSG膜、PSG膜若しくはBPSG膜、又はこれらの内の2層以上の組み合わせから構成された複合膜でも良い。この第2層間絶縁膜35の上に、フォトレジストをスピン塗布し、フォトリソグラフィ技術により、フォトレジストをパターンニングする。このパターンニングされたフォトレジストをマスクとして、第2層間絶縁膜35をRIEでエッチングし、第3層コンタクトプラグ61cに接続される第3層バイアホール(図示省略)を開口する。第3層バイアホールは、第3層コンタクトプラグ61cの頂部を露出するように開口される。フォトレジストを除去後、第4層コンタクトプラグ64c用導電膜として、W、Ti、Mo等の高融点金属を堆積する。そして、CMPを用いて、第2層間絶縁膜35の表面を図7(j)に示すように、平坦化し、第4層コンタクトプラグ64cを第3層バイアホールに埋め込む。

【0041】(ヌ)次に、第2層間絶縁膜35の上に、厚さ $0.3\mu\text{m}\sim 1\mu\text{m}$ の第2層金属膜を、真空蒸着法、スパッタリング法等で堆積する。第2層金属膜としては、Al若しくはアルミニウム合金(Al-Si, Al-Cu-Si)等が使用可能である。この第2層金属膜の上に、フォトレジストをスピン塗布し、フォトリソ

グラフィ技術により、パターンニングする。このパターンニングされたフォトレジストをマスクとして、第2層金属膜をRIEでエッチングし、第2金属配線層63をパターンニングする。図7(k)においては、第2金属配線層63があたかも紙面に垂直方向に走行しているように描かれているが、実際は、紙面と平行方向のビット線 $B_i$ のパターンとなる。即ち、ビット線 $B_i$ は、ポリシリコンゲート電極73(ワード線 $W_j$ )と直交する方向に走行している。そして、第2金属配線層63(ビット線 $B_i$ )は第4層コンタクトプラグ64c、第3層コンタクトプラグ61c、第2層コンタクトプラグ60c、第1層コンタクトプラグ59cを介して、垂直スイッチングトランジスタ $T_{j,i}$ のn型ソース領域71に電氣的に接続される。図示を省略しているが、隣接するピクセルにも、ビット線 $B_{i-1}$ ,  $B_{i+1}$ , ……が第2金属配線層により、形成されている。図3の断面図には現れていないが、ビット線 $B_{i-1}$ ,  $B_i$ ,  $B_{i+1}$ , ……と平行して、第2金属配線層として垂直ヒータ線 $V_{i-1}$ ,  $V_i$ ,  $V_{i+1}$ , ……がビット線 $B_{i-1}$ ,  $B_i$ ,  $B_{i+1}$ , ……と同一工程で、パターンニングされる。垂直ヒータ線 $V_{i-1}$ ,  $V_i$ ,  $V_{i+1}$ , ……は、紙面の手前、及び奥を紙面に平行に走行している。そして、第2金属配線層63の上部に、厚さ $0.8\mu\text{m}\sim 1.5\mu\text{m}$ のパッシベーション膜36を、図7(k)に示すように、CVD法により堆積する。このパッシベーション膜36としてはシリコン窒化膜( $\text{Si}_3\text{N}_4$ 膜)が使用可能である。そして、CMPを用いて、パッシベーション膜36の表面を図7(k)に示すように、平坦化する。

【0042】(ル)このパッシベーション膜36の上に、フォトレジスト207をスピン塗布し、フォトリソグラフィ技術により、フォトレジスト207をパターンニングする。このパターンニングされたフォトレジスト207をマスクとして、パッシベーション膜36、第2層間絶縁膜35、第1層間絶縁膜34、埋め込み絶縁膜32をRIEでエッチングし、図7(l)に示すように、溝部47a, 47b, 47c, 47dを開口する。そして、この溝部47a, 47b, 47c, 47dの底部に露出した空洞材料(p+型ドーパドポリシリコン)44をシリコンエッチング液で除去すれば、図3に示す微小空洞領域 $C_{i,j}$ が形成される。

【0043】(ロ)次に、ビニルポリマー等の寒天のような網目構造を持つ高分子材料を加熱し、ゾル状にし、これにルシフェリン・ルシフェラーゼ等の酵素を混ぜた液を用意する。そして、この酵素を混ぜた液を、半導体基板29の上から、溝部47a, 47b, 47c, 47dに向かって滴下する。滴下された酵素を混ぜた液は、溝部47a, 47b, 47c, 47dの内部を毛細管現象により浸透し、微小空洞領域 $C_{i,j}$ に注入される。溝部47a, 47b, 47c, 47dの間隙にも、酵素を混ぜた液が残留するが、溝部47a, 47b, 47c,

47dに対して、ヘリウム・ネオン(He-Ne)レーザ等のレーザビームをスキャンすることにより、微小空洞領域 $C_{i,j}$ の底部の高分子材料からなる固定化酵素41に影響を与えることなく、溝部47a、47b、47c、47dの間隙の高分子材料を蒸発させることが出来る。この結果、図3に示すような、本発明の第1の実施の形態に係るセンサアレイが完成する。

【0044】図8は、本発明の第1の実施の形態の変形例に係るセンサアレイのピクセルを微小空洞領域 $C_{i,j}$ を中心にして示す断面図である。この断面図は、図2のA-A方向に沿った図に相当する。図3では、微小空洞領域 $C_{i,j}$ は、p型半導体基板(シリコン基板)29の表面に配置された基体絶縁膜31の一部を選択的に除去した凹部として構成されていたが、第1の実施の形態の変形例に係るセンサアレイでは、p型半導体基板(シリコン基板)29自身の表面の凹部として構成されている点異なる。図3と同様に、アノード領域51、カソード領域52及びカソードコンタクト領域53からなる検出素子(p-n接合ダイオード) $D_{j,i}$ が、微小空洞領域 $C_{i,j}$ の蓋若しくは屋根となるダイアフラム部1の内部にドーパドポリシリコン層を用いて構成されている。図1に示す垂直スイッチングトランジスタ $T_{j-1,i}$ 、 $T_{j,i}$ 、 $T_{j+1,i}$ 、……は、図3ではp型半導体基板(シリコン基板)29の内部の表面近傍に配置されていたが、第1の実施の形態の変形例に係るセンサアレイでは、検出素子(p-n接合ダイオード) $D_{j,i}$ と同一水平レベルのドーパドポリシリコン層33を用いて構成されている。即ち、ドーパドポリシリコン層33の表面のn型ソース領域75、n型ドレイン領域76、及びこれらのn型ソース領域75とn型ドレイン領域76との間のp型ドーパドポリシリコン層33の表面のゲート酸化膜、ゲート酸化膜の上のポリシリコンゲート電極77から構成されている。図3では、微小空洞領域 $C_{i,j}$ の側壁側に位置する基体絶縁膜31には、第1層コンタクトプラグ59c、59d、……(接統導体)が、基体絶縁膜31を貫通するように埋め込まれていると説明したが、第1層コンタクトプラグ59c、59d、……は、n型ソース領域71、n型ドレイン領域72に対する接統導体であるので、図8に示す構造では不要である。同様に、図3では、アレイ分離領域3の埋込絶縁膜32の内部に第2層コンタクトプラグ60c、60d、……(接統導体)が埋め込まれていると説明したが、第2層コンタクトプラグ60c、60d、……は第1層コンタクトプラグ59c、59d、……を介してn型ソース領域71及びn型ドレイン領域72にそれぞれ電気的に接続されているのであるから、図8に示す構造では不要である。その代わり、コンタクトプラグ61e及び61fが、n型ソース領域75及びn型ドレイン領域76にそれぞれ接続されている。微小空洞領域 $C_{j,i}$ の内部の底部には、図3と同様に、層状の反応物 $X_{j,i}$

である固定化酵素41が配置され、この反応物 $X_{j,i}$ は、検出対象となる微生物に応じて選択される。他の詳細は、基本的に図3に示した第1の実施の形態と同様であるので、重複した説明を省略する。

【0045】図8に示すように、半導体基板29の表面に微小空洞領域 $C_{i,j}$ を形成するのは、以下のように簡単に出来る。即ち、図7(1)に示すように溝部47a、47b、47c、47dを開口した後、この溝部47a、47b、47c、47dの底部に露出した半導体基板29を、異方性シリコンエッチング液で除去すれば良い。この異方性シリコンエッチング液のエッチングのとき、p+型ドーパドポリシリコン33は、p+型ドーパドポリシリコン33を保護する埋込絶縁膜で被覆されているのでエッチングされることはない。異方性シリコンエッチング液としては、水酸化カリウム(KOH)等のアルカリ系エッチング液や、エチレンジアミンピロカテコール水溶液、ヒドラジン水溶液等が周知である。

【0046】又、図8に示す構造において、垂直スイッチングトランジスタ $T_{j,i}$ をp+型ドーパドポリシリコン33の表面に形成するには、以下のようにすれば良い。

【0047】(イ)まず、図6(f)に示すようにイオン注入により、p+型ドーパドポリシリコン33の表面にカソード領域52を形成するためのn型不純物イオンをイオン注入する。イオン注入のマスクとして用いたフォトリソグレイスト203を除去後、酸化性雰囲気中で熱処理し、p+型ドーパドポリシリコン33の表面に厚さ50nm~100nmのゲート酸化膜を形成する。このゲート酸化膜を形成する熱処理で、注入されたn型不純物イオンが活性化し、カソード領域52が形成される。

【0048】(ロ)次に、ゲート酸化膜の上の全面にCVD法によりポリシリコン膜、若しくはW膜、Mo膜等の高融点金属等のゲート電極材料を400nm程度堆積する。次にフォトリソグレイストをゲート電極材料の表面にスピン塗布する。そして、フォトリソグラフィー技術により、フォトリソグレイストをパターニングする。そして、このフォトリソグレイストをマスクとして、RIE等によりゲート電極材料をエッチングして、ゲート電極77及び必要な配線のパターンをゲート電極材料で形成する。

【0049】(ハ)そして、図6(g)に示すカソードコンタクト領域53を形成するための新たなフォトリソグレイスト204をパターニングする際に、同時に、垂直スイッチングトランジスタ $T_{j,i}$ 用の開口部をゲート電極77の部分に形成する。

【0050】(ニ)そして、パターニングされたフォトリソグレイスト204をマスクとして、図6(g)に示すように、ヒ素イオン( $^{75}\text{As}^+$ )等のn型不純物イオンを $2 \times 10^{15} \text{ cm}^{-2}$ 程度のドーパ量でイオン注入すれば、ゲート電極77をマスクとして自己整合的にソース/ドレイン形成予定のp+型ドーパドポリシリコン33

の表面にもイオン注入される。その後、フォトレジスト204を除去後、熱処理しn型不純物イオンを活性化すれば、カソードコンタクト領域53がカソード領域52の表面に形成されると同時に、n型ソース領域75及びn型ドレイン領域76が形成され、垂直スイッチングトランジスタ $T_{j,i}$ が形成される。垂直スイッチングトランジスタ $T_{j,i}$ のゲート電極77は、ワード線 $W_j$ として機能することは、図3の場合と同様である。したがって、隣接するピクセルには、同様に、垂直スイッチングトランジスタ $T_{j-1,i}$ 、 $T_{j+1,i}$ 、……のゲート電極であるワード線 $W_{j-1}$ 、 $W_{j+1}$ 、……が走行する。

【0051】なお、SOI構造の基板を用いれば、図8に示す第1の実施の形態の変形例に係るセンサアレイのピクセルの検出素子(p n接合ダイオード) $D_{j,i}$ 及び垂直スイッチングトランジスタ $T_{j,i}$ を、微小空洞領域 $C_{i,j}$ の蓋(屋根)となるダイアフラム部1の内部に、p型単結晶シリコン層を用いて構成することが可能である。図8に示す構造において、検出素子(p n接合ダイオード) $D_{j,i}$ 及び垂直スイッチングトランジスタ $T_{j,i}$ をp型単結晶シリコン層の表面に形成するには、以下のようにすれば良い。

【0052】(イ) まず、半導体基板29の上に埋込絶縁膜32を介してp型単結晶シリコン層が形成されたSOI基板を用意する。そして、このp型単結晶シリコン層の上にフォトレジストをスピン塗布し、フォトリソグラフィ技術によりフォトレジストをパターンニングする。このパターンニングされたフォトレジストをマスクとして、p型単結晶シリコン層を埋込絶縁膜32が露出するまで、RIEで選択的にエッチングする。このRIEで、図7(1)に示す溝部47a、47b、47c、47dの位置にそれぞれ分離溝を形成する。この分離溝の幅は、溝部47a、47b、47c、47dよりも、 $0.6\mu\text{m}\sim 3\mu\text{m}$ 広く形成する。RIEのエッチングに用いたフォトレジストを除去する。

【0053】(ロ) そして、この分離溝を埋めるように、CVD法により酸化膜を堆積する。更に、CMPを用いてp型単結晶シリコン層が露出するまで平坦化し、p型単結晶シリコン層保護用絶縁膜を形成する。そして、このp型単結晶シリコン層保護用絶縁膜で区切られたp型単結晶シリコン層の上にフォトレジスト203をスピン塗布し、フォトリソグラフィ技術によりフォトレジスト203をパターンニングする。このパターンニングされたフォトレジスト203をマスクとして、図6

(f)と同様に、p型単結晶シリコン層の表面にカソード領域52を形成するためのn型不純物イオンをイオン注入する。イオン注入のマスクとして用いたフォトレジスト203を除去後、酸化性雰囲気中で熱処理し、p型単結晶シリコン層の表面に厚さ $50\text{nm}\sim 100\text{nm}$ のゲート酸化膜を形成する。このゲート酸化膜を形成する熱処理で、注入されたn型不純物イオンが活性化し、カソ

ード領域52が形成される。

【0054】(ハ) 次に、ゲート酸化膜の上の全面にCVD法によりポリシリコン膜、若しくはW膜、Mo膜等の高融点金属等のゲート電極材料を $400\text{nm}$ 程度堆積する。次にフォトレジストをゲート電極材料の表面にスピン塗布する。そして、フォトリソグラフィ技術により、フォトレジストをパターンニングする。そして、このフォトレジストをマスクとして、RIE等によりゲート電極材料をエッチングして、ゲート電極77(図8参照。)及び必要な配線のパターンをゲート電極材料で形成する。

【0055】(ニ) そして、図6(g)に示すカソードコンタクト領域53を形成するための新たなフォトレジスト204をパターンニングする際に、同時に、垂直スイッチングトランジスタ $T_{j,i}$ 用の開口部をゲート電極77の部分に形成する。

【0056】(ホ) そして、パターンニングされたフォトレジスト204をマスクとして、図6(g)と同様に、ヒ素イオン( $^{75}\text{As}^+$ )等のn型不純物イオンをイオン注入すれば、ゲート電極77をマスクとして自己整合的にソース/ドレイン形成予定のp型単結晶シリコン層の表面にもイオン注入される。その後、フォトレジスト204を除去後、熱処理しn型不純物イオンを活性化すれば、カソードコンタクト領域53がカソード領域52の表面に形成されると同時に、n型ソース領域75及びn型ドレイン領域76が形成され(図8参照。)、垂直スイッチングトランジスタ $T_{j,i}$ が形成される。この後の工程は、図6(h)以降に示す工程と基本的に同様であるので、重複した記載を省略する。但し、図7(1)に示すと同様に、溝部47a、47b、47c、47dを開口した後、この溝部47a、47b、47c、47dの底部に露出した半導体基板29を、異方性シリコンエッチング液で除去することは、前述した通りである。この異方性シリコンエッチング液のエッチングのとき、p型単結晶シリコン層は、p型単結晶シリコン層保護用絶縁膜で側面を、埋込絶縁膜32で底面を被覆されているのでエッチングされることはない。

【0057】(第2の実施の形態) 図9は、本発明の第2の実施の形態に係るセンサアレイのピクセルを微小空洞領域 $C_{i,j}$ を中心にして示す断面図である。この断面図は、図2のA-A方向に沿った図に相当する。第1の実施の形態では、アノード領域51、カソード領域52及びカソードコンタクト領域53からなるpn接合ダイオードが検出素子 $D_{j,i}$ として、微小空洞領域 $C_{i,j}$ の蓋となるダイアフラム部1の内部に構成されていた。しかし、第2の実施の形態に係るセンサアレイのピクセルでは、pn接合ダイオードの代わりに、イオン検出FET(Ion Sensitive FET: 以下に置いて「ISFET」という。)が用いられている点が、第1の実施の形態と異なる。ISFETは、溶液中のイオンを検出しPHを測

定する検出素子 $D_{j,i}$ である。PHを測定するのであるから、第1の実施の形態とは異なり、微小空洞領域 $C_{j,i}$ の内部の底部には、層状の反応物 $X_{j,i}$ を配置することは必ずしも必要ではない。

【0058】図9に示すように、ダイアフラム部1に位置する埋込絶縁膜32に溝部が形成され、溝部のそれぞれの底部には、ISFETのゲート絶縁膜となる厚さ50nm～100nm程度の埋込絶縁膜32が残存している。そしてこの溝部にISFETのチャネル領域となるn型ドーパドポリシリコン33が埋め込まれている。更に、チャネル領域57を挟んで、p型ソース領域55及びp型ドレイン領域56が形成され、ISFET $D_{j,i}$ が構成されている。n型チャネル領域57の上部には第1層間絶縁膜34が配置されている。第1層間絶縁膜34の上には第1金属配線層62a, 62b, ……、62fが配置されている。第1金属配線層62dとp型ドレイン領域56とは、第1層間絶縁膜34を貫通する第3層コンタクトプラグ61c, 61d, ……61bにより接続されている。第1金属配線層62cとp型ソース領域55とは、第1層間絶縁膜34を貫通する第3層コンタクトプラグ61c, 61d, ……61aにより接続されている。更に第3層コンタクトプラグ61c, 61d, ……、第2層コンタクトプラグ60c, 60d, ……及び第1層コンタクトプラグ59c, 59d, ……を介して、第1金属配線層62fと垂直スイッチングトランジスタ $T_{j,i}$ のn型ドレイン領域72とが電氣的に接続されている。図9の断面図上では、第1金属配線層62d, 62e, 62fはあたかも独立した配線のように示されているが、平面パターン上では、第1金属配線層62d, 62e, 62fは連続した1本の電気配線である。したがって、第1金属配線層62d, 62e, 62f、第3層コンタクトプラグ61c, 61d, ……、第2層コンタクトプラグ60c, 60d, ……及び第1層コンタクトプラグ59c, 59d, ……を介して、ISFET $D_{j,i}$ のp型ドレイン領域56と垂直スイッチングトランジスタ $T_{j,i}$ のn型ドレイン領域72とが電氣的に接続されている（図1の等価回路参照。）。

【0059】図9に示すように、ISFETのゲート絶縁膜32に陰イオンが集まると、ゲート絶縁膜32の近傍のISFETのチャネル領域の底部には、正孔（ホール）が蓄積されp型チャネルが形成され、ISFETのp型ソース領域55及びp型ドレイン領域56の間に電流が流れるので、各ピクセルの微小空洞領域 $C_{j,i}$ の内部のPHを測定出来る。

【0060】なお、n型ドーパドポリシリコン33ではなく、SOI構造を構成するn型単結晶半導体層を用いて、ISFETを構成出来ることは勿論である。又、図9では、垂直スイッチングトランジスタ $T_{j,i}$ が、p型半導体基板（シリコン基板）29の内部の表面近傍に配

置されているが、ISFET $D_{j,i}$ と同一水平レベルの半導体層（ポリシリコン層若しくは単結晶シリコン層）を用いてpチャネルMOSFETを構成すれば、工程が簡略されて好ましい。CMOSの工程と同様に、ISFET $D_{j,i}$ をpチャネルMOSFETで、垂直スイッチングトランジスタ $T_{j,i}$ をnチャネルMOSFETで構成しても良い。又、導電型を全部逆にして、垂直スイッチングトランジスタ $T_{j,i}$ 及びISFET $D_{j,i}$ をエンハンスメント型nチャネルMOSFETを構成することも可能である。他の詳細は、基本的に図3に示した第1の実施の形態と同様であるので、重複した説明を省略する。

【0061】詳細な工程断面図を省略するが、本発明の第2の実施の形態に係るセンサアレイは、以下に述べるような製造方法により実現出来る。以下は、一例であり、この変形例を含めて、これ以外の種々の製造方法により、実現可能であることは勿論である。図5(c)までは、第1の実施の形態に係るセンサアレイの製造方法と同様であるので、重複した記載を省略する。ここでは、図5(c)と同様に、埋込絶縁膜32を厚さ1 $\mu$ m程度にCVD法により堆積した工程の後から、順に説明する。

【0062】(イ) 即ち、図5(c)に示す工程の後、図5(c)の埋込絶縁膜32の上にフォトレジストをスピン塗布し、フォトリソグラフィ技術によりフォトレジストをパターニングする。このパターニングされたフォトレジスト202をマスクとして、埋込絶縁膜32をRIEでエッチングし、図5(d)と同様に、埋込絶縁膜32に対して、溝部45a, 45b, ……、45fを形成する。溝部45a, 45b, ……、45fのそれぞれの底部には、50nm～100nm程度の埋込絶縁膜32を残存させる。

【0063】(ロ) そして、溝部45a, 45b, ……、45f、及び図示しないn型ソース領域71及びn型ドレイン領域72に接続する第1層バイアホールを埋めるように、CVD法を用いて、厚さ1.0～1.5 $\mu$ mの多結晶半導体層（ポリシリコン）33を堆積する。CVD法を用いてポリシリコン33を堆積する際、前述と同様に、 $\text{SiH}_4$ と同時に、フォスフィン（ $\text{PH}_3$ ）を添加し、n型ドーパドポリシリコン33をインシツで堆積しても良く、ノンドープポリシリコン33を堆積の後、n型不純物を拡散して、n型ドーパドポリシリコン33にしても良い。更に、CMPを用いて、図6(e)と同様に、n型ドーパドポリシリコン33の表面を埋込絶縁膜32が露出するまで平坦化させ、n型ドーパドポリシリコン33を溝部45a, 45b, ……、45f及び図示を省略した第1層バイアホールのそれぞれの内部に埋め込む。

【0064】(ハ) 次に、フォトレジストをn型ドーパドポリシリコン33の表面にスピン塗布する。そして、

フォトリソグラフィ技術により、フォトレジストをパターンニングし、このフォトレジストをマスクとして、ボロンイオン ( $^{11}\text{B}^+$ ) 等の p 型不純物イオンを  $2 \times 10^{15} \text{ cm}^{-2}$  程度のドーズ量で、ソース/ドレイン形成予定領域の n 型ドーパドポリシリコン 33 の表面にもイオン注入する。その後、フォトレジスト 204 を除去後、熱処理し p 型不純物イオンを活性化すれば、p 型ソース領域 55 及び p 型ドレイン領域 56 が形成され、ISFETD $_{j,i}$  が形成される。この後は、図 6 (h) 以降に示す工程と、実質的に同様であるので、重複した説明を省略する。

【0065】又、図 9 に示す構造において、検出素子 (ISFET) D $_{j,i}$  及び p チャネル垂直スイッチングトランジスタ T $_{j,i}$  を単結晶シリコン層を用いて形成するには、以下のようにすれば良い。ここで、単結晶シリコン層とは、微小空洞領域 C $_{i,j}$  の蓋 (屋根) となるダイアフラム部 1 の内部に形成される単結晶半導体層 (SOI 層) の意味である。

【0066】(イ) まず、半導体基板 29 の上に埋込絶縁膜 32 を介して n 型単結晶シリコン層 (SOI 層) が形成された SOI 基板を用意する。そして、この n 型単結晶シリコン層の上にフォトレジストをスピン塗布し、フォトリソグラフィ技術によりフォトレジストをパターンニングする。このパターンニングされたフォトレジストをマスクとして、n 型単結晶シリコン層を埋込絶縁膜 32 が露出するまで、RIE で選択的にエッチングする。この RIE で、図 7 (1) に示す溝部 47a, 47b, 47c, 47d の位置にそれぞれ分離溝を形成する。この分離溝の幅は、溝部 47a, 47b, 47c, 47d よりも、広く形成する。その後、RIE のエッチングに用いたフォトレジストを除去する。

【0067】(ロ) そして、この分離溝を埋めるように、CVD 法により酸化膜を堆積する。更に、CMP を用いて n 型単結晶シリコン層が露出するまで平坦化し、分離溝の内部に、n 型単結晶シリコン層保護用絶縁膜を形成する。そして、この n 型単結晶シリコン層保護用絶縁膜で区切られた n 型単結晶シリコン層の表面を熱酸化して、n 型単結晶シリコン層の表面に厚さ 50 nm ~ 100 nm のゲート酸化膜を形成する。

【0068】(ハ) 次に、ゲート酸化膜の上の全面に CVD 法によりポリシリコン膜、若しくは W 膜、Mo 膜等の高融点金属等のゲート電極材料を 300 nm ~ 600 nm 程度堆積する。次にフォトレジストをゲート電極材料の表面にスピン塗布し、フォトリソグラフィ技術により、フォトレジストをパターンニングする。そして、このフォトレジストをマスクとして、RIE 等によりゲート電極材料をエッチングして、ゲート電極及び必要な配線のパターンをゲート電極材料で形成する。

【0069】(ニ) ゲート電極のパターンニングに用いたフォトレジストを除去して、新たなフォトレジストをゲ

ート酸化膜の表面にスピン塗布する。そして、フォトリソグラフィ技術により、フォトレジストをパターンニングし、このフォトレジストをマスクとして、ボロンイオン ( $^{11}\text{B}^+$ ) 等の p 型不純物イオンを  $2 \times 10^{15} \text{ cm}^{-2}$  程度のドーズ量で、ISFETD $_{j,i}$  及び垂直スイッチングトランジスタ T $_{j,i}$  のソース/ドレイン形成予定領域の n 型単結晶シリコン層の表面にイオン注入する。その後、フォトレジスト 204 を除去後、熱処理し、p 型不純物イオンを活性化すれば、ISFETD $_{j,i}$  の p 型ソース領域 55 及び p 型ドレイン領域 56 と共に、垂直スイッチングトランジスタ T $_{j,i}$  の p 型ソース領域及び p 型ドレイン領域が形成される。この後の工程は、図 6 (h) 以降に示す工程と基本的に同様である。但し、図 7 (1) に示すと同様に、溝部 47a, 47b, 47c, 47d を開口した後、この溝部 47a, 47b, 47c, 47d の底部に露出した半導体基板 29 を、異方性シリコンエッチング液で除去することは、前述した通りである。この異方性シリコンエッチング液のエッチングのとき、n 型単結晶シリコン層は、n 型単結晶シリコン層保護用絶縁膜で側面を、埋込絶縁膜 32 で底面を被覆されているのでエッチングされることはない。

【0070】(第 3 の実施の形態) 図 10 及び 11 は、本発明の第 3 の実施の形態に係るセンサアレイのピクセルを微小空洞領域 C $_{i,j}$  を中心にして示す断面図である。この断面図は、図 2 の A-A 方向に沿った図に相当する。本発明の第 3 の実施の形態に係るセンサアレイのピクセルは、第 1 の実施の形態のピクセルの上部に、空孔 h $_{11}$ , h $_{12}$ , ..., h $_{31}$ , h $_{32}$ , h $_{33}$ , h $_{34}$ , ..., h $_{55}$  付きのキャップ層 37 が付加された構造である。キャップ層 37 は、アレイ分離領域 3 とダイアフラム部 1 の間に設けられた間隙部の上方を覆うフリンジ部 (端部) 37c と、ダイアフラム部 1 のそれぞれの頂部に中央部の底部が接続され、フリンジ部 37c を片持ち梁構造で支持する支持部 (37a, 37b) とからなる。支持部 (37a, 37b) は、ダイアフラム部 1 のそれぞれの頂部に底部が接続された中央部 37a と、フリンジ部 37c と中央部 37a とを接続するスカート部 37b とから構成されている。フリンジ部 37c に設けられた空孔 h $_{11}$ , h $_{12}$ , ..., h $_{31}$ , h $_{32}$ , h $_{33}$ , h $_{34}$ , ..., h $_{55}$  は浮遊粒子のサイズを分類するフィルタとして使用出来る。キャップ層 37 の端部 (フリンジ部) 37c とパッシベーション膜 36 の間の隙間が、空孔 h $_{11}$ , h $_{12}$ , ..., h $_{31}$ , h $_{32}$ , h $_{33}$ , h $_{34}$ , ..., h $_{55}$  の直径より厚い場合は、微生物がキャップ層 37 の端部 (フリンジ部) 37c とパッシベーション膜 36 の間の隙間から微小空洞領域 C $_{i,j}$  に導入されうる。この隙間を埋める若しくは、空孔 h $_{11}$ , h $_{12}$ , ..., h $_{31}$ , h $_{32}$ , h $_{33}$ , h $_{34}$ , ..., h $_{55}$  の直径より薄くして、空孔 h $_{11}$ , h $_{12}$ , ..., h $_{31}$ , h $_{32}$ , h $_{33}$ ,

$h_{34}, \dots, h_{55}$ を微生物の分類フィルタとして用いても良い。なお、図10に示すように、アノード領域51、カソード領域52及びカソードコンタクト領域53からなるpn接合ダイオードが検出素子 $D_{j,i}$ として、微小空洞領域 $C_{i,j}$ の蓋となるダイアフラム部1の内部に構成されている。又、図示を省略しているが、微小空洞領域 $C_{j,i}$ の内部の底部には、層状の反応物 $X_{j,i}$ が配置されている。このように、他の構造は、第1の実施の形態と実質的に同様であるので、重複した説明を省略する。

【0071】図10に示すように、キャップ層37の支持部の中央部37aはスカート部37bに囲まれた凹部の底を構成しているため、この中央部37a（凹部の底）に微生物の培養物質を配置することにより、増殖サーモグラムを測定することも可能である。この場合、バイオルミネッセンスと増殖サーモグラムとを区別するため、隣接するピクセルには、バイオルミネッセンスの測定を目的とし、培養物質を配置しない様なトポロジーを採用し、隣接するピクセル間の信号量の比較をすることも有効である。

【0072】図示を省略するが、本発明の第3の実施の形態に係るセンサアレイは、以下に述べるセンサアレイの製造方法を用いて実現可能である。但し、一例であり、この変形例を含めて、これ以外の種々の方法により、製造可能であることは勿論である。図7(1)までは、第1の実施の形態に係るセンサアレイの製造方法と同様であるので、重複した記載を省略する。ここでは、図7(1)と同様に、溝部47a、47b、47c、47dを開口した工程の後から、順に説明する。

【0073】(イ)即ち、図7(1)に示すように、溝部47a、47b、47c、47dを開口した後、これらの溝部47a、47b、47c、47dを埋め、更にパッシベーション膜36の上部に一定の厚さ、例えば $0.8\mu\text{m} \sim 2\mu\text{m}$ の厚さが確保出来るようにアモルファスシリコンを堆積する。そして、CMPにより、アモルファスシリコンの表面を平坦化する。

【0074】(ロ)次に、アモルファスシリコンの上に、フォトリソグラフ技術によりフォトレジストをパターンニングし、このパターンニングされたフォトレジストをマスクとして、アモルファスシリコンを等方性エッチングでエッチングし、凹部を形成する。

【0075】(ハ)フォトレジストを除去後、キャップ層用絶縁膜を厚さ $0.3\mu\text{m} \sim 1\mu\text{m}$ 程度にCVD法により堆積する。キャップ層用絶縁膜としては、NSG膜、PSG膜又はBPSG膜が使用可能である。次に、キャップ層用絶縁膜の上にフォトレジストをスピン塗布する。そして、フォトリソグラフ技術によりフォトレジストをパターンニングし、このパターンニングされたフォトレジストをマスクとして、キャップ層用絶縁膜をR

IEでエッチングし、図10及び図11に示すような空孔 $h_{11}, h_{12}, \dots, h_{31}, h_{32}, h_{33}, h_{34}, \dots, h_{55}$ を有する矩形形状にパターンニングする。

【0076】(ニ)そして、空孔 $h_{11}, h_{12}, \dots, h_{31}, h_{32}, h_{33}, h_{34}, \dots, h_{55}$ を介してアモルファスシリコンをシリコンエッチング液でエッチングすれば、溝部47a、47b、47c、47dが再び開口される。更に、この溝部47a、47b、47c、47dの底部に露出した空洞材料(p+型ドーパドポリシリコン)44も除去され、図10に示す微小空洞領域 $C_{i,j}$ が形成される。

【0077】図12は、本発明の第3の実施の形態の変形例に係るセンサアレイのピクセルを微小空洞領域 $C_{i,j}$ を中心にして示す断面図である。この断面図は、図2のA-A方向に沿った図に相当する。本発明の第3の実施の形態の変形例に係るセンサアレイのピクセルは、図10に示す第3の実施の形態に係るピクセルの上部に設けられたキャップ層37の底（フリンジ部）37cの裏に、金属薄膜からなる上部電極82が配置され、この上部電極82に対向してアレイ分離領域3の頂部となるパッシベーション膜36の上部に下部電極81が配置されている構造である。

【0078】図12に示す構造によれば、静電力を用いて、フリンジ部37cの裏とアレイ分離領域3の頂部となるパッシベーション膜36の表面との間の距離を制御することが可能である。例えば、上部電極82に正の電位を与え、下部電極81に負の電位を与え、静電引力を用いてフリンジ部37cの裏とパッシベーション膜36の表面との間の距離を狭く出来る。一方、上部電極82に正の電位を与え、下部電極81に正の電位を与えれば、静電斥力により、フリンジ部37cの裏とパッシベーション膜36の表面との間の距離を広く出来る。或いは、狭くし、上部電極82に負の電位を与え、下部電極81に負の電位を与えて、フリンジ部37cの裏とパッシベーション膜36の表面との間の距離を広くしても良い。このように、静電力を用いて、フリンジ部37cの裏とパッシベーション膜36の表面との間の距離を制御することで、浮遊粒子や微生物のサイズを分類する可変フィルタとして使用出来る。図12では、キャップ層37に空孔 $h_{11}, h_{12}, \dots, h_{31}, h_{32}, h_{33}, h_{34}, \dots, h_{55}$ を設けた構造であるが、空孔 $h_{11}, h_{12}, \dots, h_{31}, h_{32}, h_{33}, h_{34}, \dots, h_{55}$ のない構造とした方が、可変フィルタの特性はシャープになる。他の構造は、図10に示す第3の実施の形態に係るピクセルと実質的に同様であるので、重複した説明を省略する。

【0079】図示を省略するが、本発明の第3の実施の形態の変形例に係るセンサアレイは、以下のような製造方法を用いて実現可能である。途中までは、第1の実施の形態に係るセンサアレイの製造方法と同様である。

【0080】(イ)即ち、第1の実施の形態で説明した図7(1)に示すように、溝部47a、47b、47c、47dを開口した後、これらの溝部47a、47b、47c、47dの内部に侵入するようにアモルファスシリコンを堆積する。そして、パッシベーション膜36が露出するまでCMPを行い、溝部47a、47b、47c、47dをアモルファスシリコンで埋め込む。この後、パッシベーション膜36の上に、W、Ti、Mo等の下部電極用金属膜をCVD法、真空蒸着法、スパッタリング法等で堆積する。この下部電極用金属膜の上に、フォトレジストをスピン塗布し、フォトリソグラフィ技術により、フォトレジストをパターニングする。このパターニングされたフォトレジストをマスクとして、下部電極用金属膜をRIEでエッチングし、下部電極81をパターニングする。そして、下部電極81をパターニングしたフォトレジストを除去する。

【0081】(ロ)更に、下部電極81の上部、及び露出したパッシベーション膜36の上部にアモルファスシリコンを堆積する。そして、CMPにより、アモルファスシリコンの表面を平坦化し、アモルファスシリコンの上に、フォトレジストをスピン塗布する。そして、フォトリソグラフィ技術によりフォトレジストをパターニングし、このパターニングされたフォトレジストをマスクとして、アモルファスシリコンを等方性エッチングでエッチングし、凹部を形成する。

【0082】(ハ)フォトレジストを除去後、この後、アモルファスシリコンの上に、W、Ti、Mo等の上部電極用金属膜をCVD法、真空蒸着法、スパッタリング法等で堆積する。更に、上部電極用金属膜の上に、キャップ層用絶縁膜をCVD法により堆積する。次に、キャップ層用絶縁膜の上にフォトレジストをスピン塗布する。そして、フォトリソグラフィ技術によりフォトレジストをパターニングし、このパターニングされたフォトレジストをマスクとして、キャップ層用絶縁膜、及び上部電極用金属膜をRIEでエッチングし、図12に示すような矩形形状にパターニングする。

【0083】(ニ)そして、キャップ層用絶縁膜の端部(即ちフリンジ部37cとアレイ分離領域3の頂部との間)若しくは、空孔 $h_{11}$ 、 $h_{12}$ 、……、 $h_{31}$ 、 $h_{32}$ 、 $h_{33}$ 、 $h_{34}$ 、……、 $h_{55}$ が形成されていれば空孔を介して、アモルファスシリコンをシリコンエッチング液でエッチングすれば、溝部47a、47b、47c、47dが再び開口される。更に、この溝部47a、47b、47c、47dの底部に露出した空洞材料44も除去され、図12に示す微小空洞領域 $C_{i,j}$ が形成される。

【0084】(第4の実施の形態)近年、マイクロマシニング技術を用いて基板上に高精度な微細加工を施すことによって、送液・混合・反応・分析等の一連の機能を一枚の半導体基板(チップ)上に集積するLOC(Laboratory on a Chip)や $\mu$ -TAS(Micro Total Analysis

Systems)等が試みられている。これらの試作には、半導体集積回路の製造方法で採用されているフォトリソグラフィやRIE等の微細加工技術を応用することにより、半導体基板や絶縁性基板上に高精度な三次元一括加工を行う技術が採用されている。

【0085】図13は、本発明の第4の実施の形態に係るピクセル間の送液・混合・反応・分析等が可能なセンサアレイの構造を示す断面図である。この断面図は、図2のA-A方向に沿った図に相当する。本発明の第4の実施の形態に係るセンサアレイのピクセルは、微小空洞領域 $C_{i,j}$ を構成している基体絶縁膜31に、半導体基板29の表面と平行方向に走行する微細配管(横穴)42が設けられている点が、第1の実施の形態のピクセルとは異なる点である。図13に示す微細配管42を介して、微小空洞領域 $C_{i,j}$ への酵素、タンパク質、生体細胞等の注入や排出を行うことが出来る。即ち、図示を省略しているが、微細配管42を介して、微小空洞領域 $C_{j,i}$ の内部に、反応物 $X_{j,i}$ としての酵素、タンパク質、生体細胞等を配置することが可能になる。他の構造は、第1の実施の形態と実質的に同様であるので、重複した説明を省略する。

【0086】本発明の第4の実施の形態に係るセンサアレイのピクセルによれば、微小空洞領域 $C_{j,i}$ の内部に配置された酵素、タンパク質、生体細胞等が消耗若しくは疲弊した場合、微細配管42を介して、微小空洞領域 $C_{j,i}$ の内部に、酵素、タンパク質、生体細胞等を搬送することが出来るので、センサ機能の回復が可能である。又、微小空洞領域 $C_{j,i}$ に捕獲された微生物を、微細配管42を介して隣接する他のピクセルへ搬送し、他の手法で分析する、若しくは、より詳細に分析する等のマルチ分析が可能になる。このため、第4の実施の形態に係るセンサアレイは、LOCや $\mu$ -TAS等の、「化学集積回路」としての動作が可能になる。したがって、図示を省略しているが、微小空洞領域 $C_{i,j}$ を構成している基体絶縁膜31の内部、或いは、半導体基板29の内部に、微細配管42に接続されるマイクロバルブ、送液用アクチュエータ(マイクロポンプ)、マイクロミキサー、マイクロリアクター、分離部、検出部などを集積化しても良い。

【0087】本発明の第4の実施の形態に係るセンサアレイは、図14に示す工程断面図に従って製造可能である。但し、図14に係る製造方法は一例であり、この変形例を含めて、これ以外の種々の方法により、製造可能であることは勿論である。

【0088】(イ)図14(a)に示す工程断面図は、第1の実施の形態に係るセンサアレイの製造方法で説明した図5(a)と、ほぼ類似している。ここでは、図5(a)に係る説明と同様に、ゲート酸化膜42の上の全面にCVD法によりポリシリコン膜43を堆積する。次にフォトレジスト201をポリシリコン膜43の表面に

スピン塗布する。そして、フォトリソグラフィ技術により、図14(a)に示すように、フォトレジスト201をパターンニングする。そして、このフォトレジスト201をマスクとして、反応性イオンエッチング(RIE)等によりポリシリコン膜43をエッチングして、図14(b)に示すように、ゲート電極73、配管用ポリシリコン配線74、及びポリシリコン配線(図示しない)を形成する。その後、フォトレジスト201を除去し、新たなフォトレジストをゲート電極73、配管用ポリシリコン配線74等の表面にスピン塗布する。そして、フォトリソグラフィ技術を用いて、MOSトランジスタ形成領域にイオン注入用開口部を形成し、ポリシリコンゲート電極73を露出させる。この露出したポリシリコンゲート電極73と新たなフォトレジストをマスクとして、自己整合的に、ヒ素イオン( $^{75}\text{As}^+$ )をドーパ量 $1.0 \times 10^{15} \text{ cm}^{-2}$ のオーダーでイオン注入する。この時、露出したポリシリコンゲート電極73にもヒ素( $^{75}\text{As}^+$ )がイオン注入される。新たなフォトレジストを除去してから、半導体基板29を熱処理し、注入した不純物イオンを活性化及び拡散し、図14(b)に示すように半導体基板29にn型ソース領域71及びn型ドレイン領域72を形成し、この結果、垂直スイッチングトランジスタ $T_{j,i}$ が形成される。

【0089】(ロ)次に、図14(b)に示すように、垂直スイッチングトランジスタ $T_{j-1,i}$ 、 $T_{j,i}$ 、 $T_{j+1,i}$ 、……や周辺回路のMOS集積回路に対しては層間絶縁膜として機能する基体絶縁膜31を、ゲート電極73及び配管用ポリシリコン配線74等の上に、厚さ $1 \mu\text{m}$ 程度に堆積する。この基体絶縁膜31は、NSG膜とPSG膜又はBPSG膜の2層構造から構成された複合膜とし、上層のBPSG膜は、リフローされて、図14(b)に示すように、基体絶縁膜31の表面が平坦化される。

【0090】(ハ)次に、基体絶縁膜31の上に、フォトレジストをスピン塗布する。そして、フォトリソグラフィ技術によりフォトレジストをパターンニングする。このパターンニングされたフォトレジストをマスクとして、基体絶縁膜31をRIEでエッチングし、n型ソース領域71及びn型ドレイン領域72に対するコンタクトホール(図示省略)を開口する。更に、コンタクトホール開口に用いたフォトレジストを除去し、基体絶縁膜31の上に、新たなフォトレジストをスピン塗布する。そして、フォトリソグラフィ技術により新たなフォトレジストをパターンニングする。このパターンニングされた新たなフォトレジストをマスクとして、基体絶縁膜31を等方性エッチングでエッチングし、微小空洞領域 $C_{i,j}$ を形成する。そして、コンタクトホール及び微小空洞領域 $C_{i,j}$ を埋めるように、空洞材料(ドーパドポリシリコン)44をCVD法を用いて堆積する。そして、CMPを用いて、空洞材料44の表面を基体絶縁膜31

が露出するまで平坦化させ、空洞材料44をコンタクトホール及び微小空洞領域 $C_{i,j}$ の内部に埋め込む。コンタクトホールの内部に埋め込まれたドーパドポリシリコン44は、n型ソース領域71及びn型ドレイン領域72に対する第1層コンタクトプラグ59c、59d、……として機能する。その後、図14(c)に示すように、埋込絶縁膜32を堆積する。

【0091】(ニ)この後は、第1の実施の形態に係るセンサアレイの製造方法で説明した図5(d)~図7

(1)に示す製造方法と実質的に同様であるので、説明を省略する。そして、図7(1)と同様に、図14

(d)に示すように、溝部47a、47b、47c、47dを開口する。そして、この溝部47a、47b、47c、47dの底部に露出した空洞材料44及び配管用ポリシリコン配線74をシリコンエッチング液で除去すれば、図13に示すように、微細配管42が微小空洞領域 $C_{i,j}$ と同時に形成される。

【0092】(ホ)この後、微細配管42を介して、微小空洞領域 $C_{i,j}$ への酵素、タンパク質、生体細胞等の注入すれば良い。

【0093】図15は、本発明の第4の実施の形態の変形例に係るセンサアレイのピクセルを微小空洞領域 $C_{i,j}$ を中心にして示す断面図である。この断面図は、図2のA-A方向に沿った図に相当する。図13では、微小空洞領域 $C_{i,j}$ は、p型半導体基板(シリコン基板)29の表面に配置された基体絶縁膜31の一部を選択的に除去した凹部として構成されていたが、第4の実施の形態の変形例に係るセンサアレイでは、半導体基板29自身の表面の凹部として構成されており、微細配管42も半導体基板29の内部に形成されている点異なる。図13と同様に、アノード領域51、カソード領域52及びカソードコンタクト領域53からなる検出素子(p-n接合ダイオード) $D_{j,i}$ が、微小空洞領域 $C_{i,j}$ の蓋若しくは屋根となるダイアフラム部1の内部にドーパドポリシリコン層を用いて構成されている。垂直スイッチングトランジスタ $T_{j,i}$ は、図13では半導体基板29の内部の表面近傍に配置されていたが、第4の実施の形態の変形例に係るセンサアレイでは、検出素子 $D_{j,i}$ と同一水平レベルのドーパドポリシリコン層を用いて構成されている。他の詳細は、基本的に図13に示した第4の実施の形態と同様であるので、重複した説明を省略する。

【0094】図15に示すように、半導体基板29の表面に微細配管42を形成するのは、以下のように簡単に出来る。

【0095】(イ)即ち、第1の実施の形態で説明した図7(1)と同様に、溝部47a、47b、47c、47dを開口した後、この溝部47a、47b、47c、47dの底部に露出した半導体基板29を異方性シリコンエッチング液で除去すれば、微小空洞領域 $C_{i,j}$ が形

成される。この後、パッシベーション膜 36 上に、フォトレジストをスピン塗布する。そして、フォトリソグラフィ技術によりフォトレジストをパターニングする。このパターニングされたフォトレジストをマスクとして、パッシベーション膜 36、第 2 層間絶縁膜 35、第 1 層間絶縁膜 34、埋め込み絶縁膜 32 貫通し、更に半導体基板 29 の一部を選択的に除去するように、RIE でエッチングし、図 16 (a) に示すように、微細配管形成用井戸 43a、43b、43c、43d を開口する。

【0096】(ロ) 微細配管形成用井戸 43a、43b、43c、43d を開口後、半導体基板 29 を水素等の還元性雰囲気中で熱処理すれば、微細配管形成用井戸 43a、43b、43c、43d の底部が膨張するようにエッチングが進行し、図 16 (b) に示すように連結部 48 が出来る。

【0097】(ハ) 更に、還元性雰囲気中で熱処理を継続すれば、連結部 48 が成長し、図 16 (c) に示すように微細配管 42 が開通する。

【0098】なお、深さの異なる微細配管形成用井戸 43a、43b、43c、43d の組(一群)を複数組設けることにより、立体交差した複数の微細配管を設けることが可能である。

【0099】(センサアレイのパッケージ) 第 1 乃至第 4 の実施の形態において説明したセンサアレイは、図 17 に示すようなパッケージに収納して稼働することが好ましい。図 17 に示すようなパッケージは、金属若しくは樹脂性のパッケージ容器 12 の内部に第 1 乃至第 4 の実施の形態において説明したセンサアレイを集積化したセンサチップ 11 が収納されている。パッケージ容器 12 の底部には、複数のピン 15 が配置されている。そして、パッケージ容器 12 の頂部は、金属メッシュ 13 で構成され、金属メッシュ 13 を介して、浮遊粒子や微生物がセンサチップ 11 の表面に到達出来る構造である。パッケージ容器 12 の底部近傍には排出口が設けられ、金属メッシュ 13 から流入した大気等の流体が、排出される。

【0100】図 17 (b) の断面図に示されるように、パッケージ容器 12 の内部には、複数枚の多孔板 14a、14b、14c が、孔の位置が互いにずれるようなトポロジーで、積層されている。多孔板 14a、14b、14c が積層されていることにより、金属メッシュ 13 を介して強い気流等の流体流が導入されても、流速が緩和され、センサチップ 11 の表面が機械的に破損するのが保護される。

【0101】(その他の実施の形態) 上記のように、本発明は第 1 乃至第 4 の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明

らかとなろう。

【0102】例えば、第 1 乃至第 4 の実施の形態において説明したセンサアレイのピクセルが、微生物、タンパク質、血液などを扱う場合は、微小空洞領域  $C_{i,j}$  への導入をスムーズに行う必要がある。この際は、ピクセルを構成している各材料の表面を親水性にすることが好ましい。例えば、水溶性ビニルモノマーで表面処理をして、高分子鎖を形成し、表面を親水性にすれば良い。

【0103】微小空洞領域  $C_{j,i}$  の内部に導入・配置される反応物  $X_{j,i}$  としては、放射線と相互作用して蛍光を発する沃化セシウム ( $CsI:Tl$ ) や酸硫化ガドリニウム ( $Gd_2O_3:S:Tb$ ) 等の蛍光体を固定化し、放射性同位元素でラベルした空中菌、或いは放射能を含む空中のダスト量を測定しても良い。この場合は、バイオセンサと放射線センサの両方の機能を備えたセンサアレイとみなすことが可能である。

【0104】図 1 では、X-Y マトリクス状にピクセルを配置したエリアアレイ (2 次元アレイ) を示したが、リニアアレイ (1 次元アレイ) にしても良いことは勿論である。

【0105】このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

#### 【0106】

【発明の効果】本発明のセンサアレイによれば、空中或いは水中に存在する微生物の種類を同定しながら、リアルタイムで、その存在密度を可視化することが可能になる。

#### 【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態に係るセンサアレイの等価回路である。

【図 2】本発明の第 1 の実施の形態に係るセンサアレイのピクセルの上面図 (平面図) である。

【図 3】本発明の第 1 の実施の形態に係るセンサアレイのピクセルの断面図である。

【図 4】図 4 (a) は、4 種類の空中微生物をイメージングするための領域分割方法を示す図で、図 4 (b) は、セルの設定温度と開口寸法をマトリクスで組み合わせて空中菌の同定を詳細に行う場合の説明図である。

【図 5】本発明の第 1 の実施の形態に係るセンサアレイの製造方法を説明する工程断面図である (その 1)。

【図 6】本発明の第 1 の実施の形態に係るセンサアレイの製造方法を説明する工程断面図である (その 2)。

【図 7】本発明の第 1 の実施の形態に係るセンサアレイの製造方法を説明する工程断面図である (その 3)。

【図 8】本発明の第 1 の実施の形態の変形例に係るセンサアレイのピクセルの断面図である。

【図 9】本発明の第 2 の実施の形態に係るセンサアレイ

のピクセルの断面図である。

【図10】本発明の第3の実施の形態に係るセンサアレイのピクセルの断面図である。

【図11】図10に示したピクセルの上面図である。

【図12】本発明の第3の実施の形態の変形例に係るセンサアレイのピクセルの断面図である。

【図13】本発明の第4の実施の形態に係るセンサアレイのピクセルの断面図である。

【図14】本発明の第4の実施の形態に係るセンサアレイの製造方法を説明する工程断面図である。

【図15】本発明の第4の実施の形態の変形例に係るセンサアレイのピクセルの断面図である。

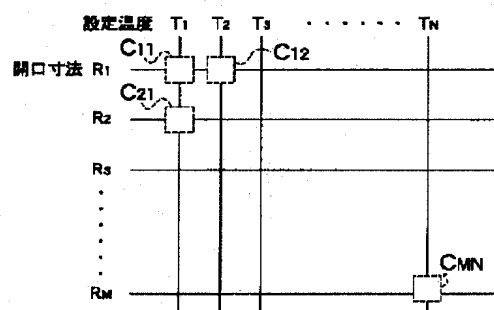
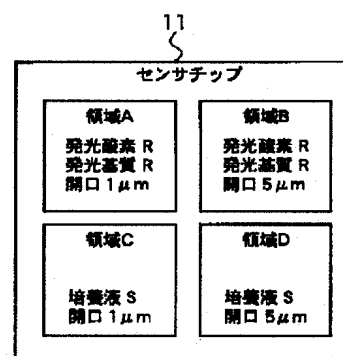
【図16】本発明の第4の実施の形態の変形例に係るセンサアレイの製造方法を説明する工程断面図である。

【図17】図17(a)は、第1乃至第4の実施の形態に係るセンサアレイを収納するパッケージの鳥瞰図で、図17(b)は、その断面図である。

#### 【符号の説明】

- 1    ダイアフラム部
- 2 a   第1支持脚
- 2 b   第2支持脚
- 3    アレイ分離領域
- 1 2   パッケージ容器
- 1 3   金属メッシュ
- 1 4 a, 1 4 b, 1 4 c   多孔板
- 1 5   ピン
- 2 9   p型半導体基板（シリコン基板）
- 3 1   基体絶縁膜
- 3 2   埋込絶縁膜
- 3 3   p+型ドーパドポリシリコン
- 3 4   第1層間絶縁膜
- 3 5   第2層間絶縁膜
- 3 6   パッシベーション膜
- 3 7   キャップ層
- 3 7 a   支持部（中央部）
- 3 7 b   支持部（スカート部）
- 3 7 c   フリンジ部 3 7 c
- 4 1   固定化酵素
- 4 2   微細配管
- 4 3   ポリシリコン膜
- 4 3 a, 4 3 b, 4 3 c, 4 3 d   微細配管形成用井戸
- 4 4   空洞材料（ポリシリコン）
- 4 5 a, 4 5 b, …… , 4 5 f   溝部
- 4 6 a, 4 6 b   コンタクトホール
- 4 7 a ~ 4 7 d   溝部
- 5 1   アノード領域
- 5 2   カソード領域
- 5 3   カソードコンタクト領域
- 5 5   p型ソース領域
- 5 6   p型ドレイン領域
- 5 7   チャネル領域
- 5 9 c, 5 9 d   第1層コンタクトプラグ
- 6 0 c, 6 0 d   第2層コンタクトプラグ
- 6 1 a ~ 6 1 d   第3層コンタクトプラグ
- 6 1 e, 6 1 f, 6 4 d   コンタクトプラグ
- 6 2 a, 6 2 b, …… , 6 2 f   第1金属配線層
- 6 3   第2金属配線層
- 6 4 c   第4層コンタクトプラグ
- 7 1, 7 5   n型ソース領域
- 7 2, 7 6   n型ドレイン領域
- 7 3,   ポリシリコンゲート電極
- 7 4   配管用ポリシリコン配線
- 8 1   下部電極
- 8 2   上部電極
- 2 0 1 ~ 2 0 7   フォトレジスト
- $B_{i-1}, B_i, B_{i+1}, \dots$    ビット線
- $C_{j,i-1}, C_{j,i}, C_{j,i+1}, C_{j+1,i-1}, C_{j+1,i}, C_{j+1,i+1}, \dots$    微小空洞領域
- $D_{j,i-1}, D_{j,i}, D_{j,i+1}, D_{j+1,i-1}, D_{j+1,i}, D_{j+1,i+1}, \dots$    検出素子
- $h_{11}, h_{12}, \dots, h_{31}, h_{32}, h_{33}, h_{34}, \dots, h_{55}$    空孔
- $Q_{i-1}, Q_i, Q_{i+1}, \dots$    水平スイッチトランジスタ
- $T_{j,i-1}, T_{j,i}, T_{j,i+1}, T_{j+1,i-1}, T_{j+1,i}, T_{j+1,i+1}, \dots$    垂直スイッチングトランジスタ
- $V_{i-1}, V_i, V_{i+1}, \dots$    垂直ヒータ線
- $V_b, V_t$    水平ヒータ線
- $W_{j-1}, W_j, W_{j+1}, \dots$    ワード線

【图 4】

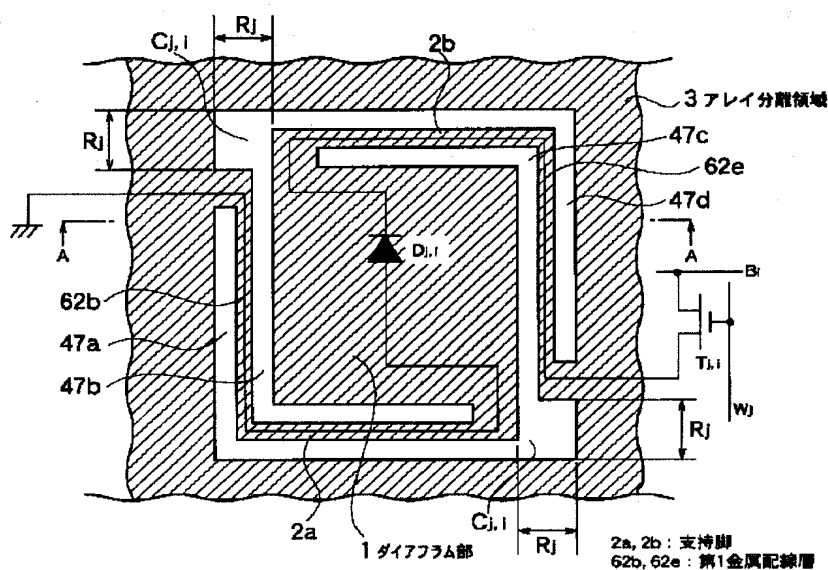


(b)

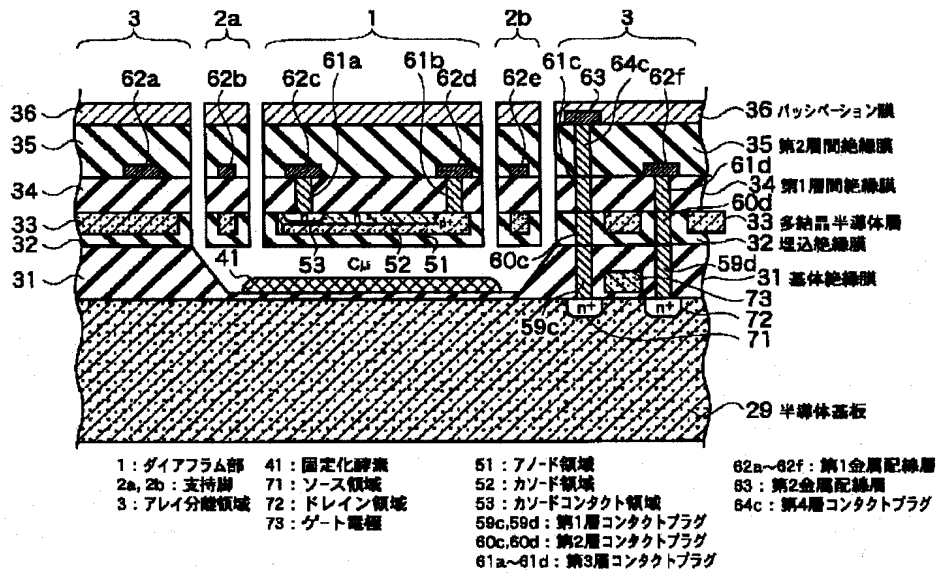
C<sub>J1-1</sub>, C<sub>J1-2</sub>, ..., C<sub>J1-1,1</sub>, C<sub>J1-1,1+1</sub> : 微小空洞領域  
B<sub>1-1</sub>, B<sub>1</sub>, B<sub>1+1</sub> : ビット線  
W<sub>1-1</sub>, W<sub>1</sub>, W<sub>1+1</sub> : ワード線  
D<sub>M-1</sub>, D<sub>M-2</sub>, ..., D<sub>M-1,1</sub>, D<sub>M-1,1+1</sub> : pn接合ダイオード  
T<sub>1-1</sub>, T<sub>1</sub>, ..., T<sub>1+1,1</sub>, T<sub>1+1,1+1</sub> : 垂直スイッチングトランジスタ  
Q<sub>1-1</sub>, Q<sub>1</sub>, Q<sub>H-1</sub> : 水平スイッチトランジスタ

$G_{11}, G_{12}, \dots, G_{MN}$  : 微小空洞領域

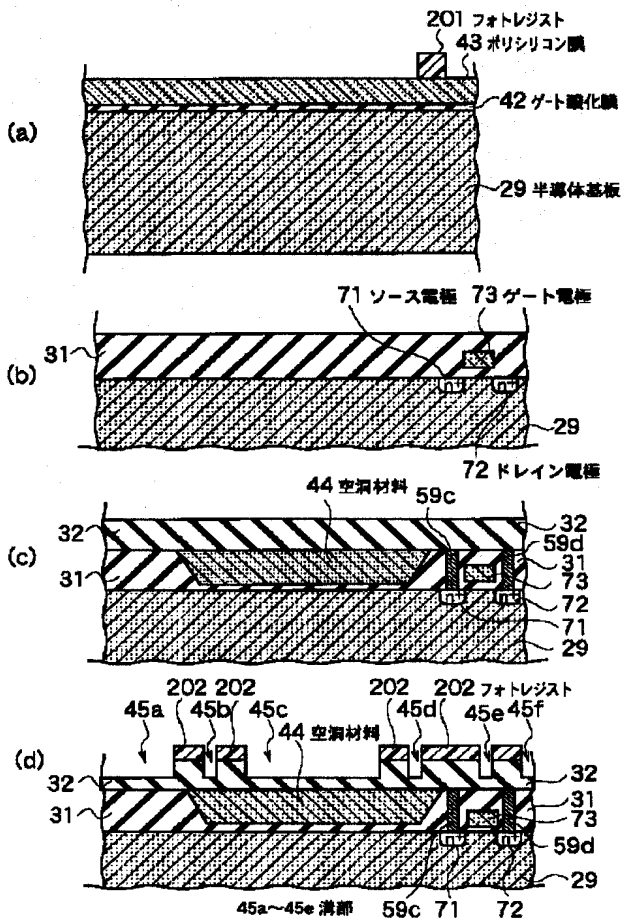
【圖 2】



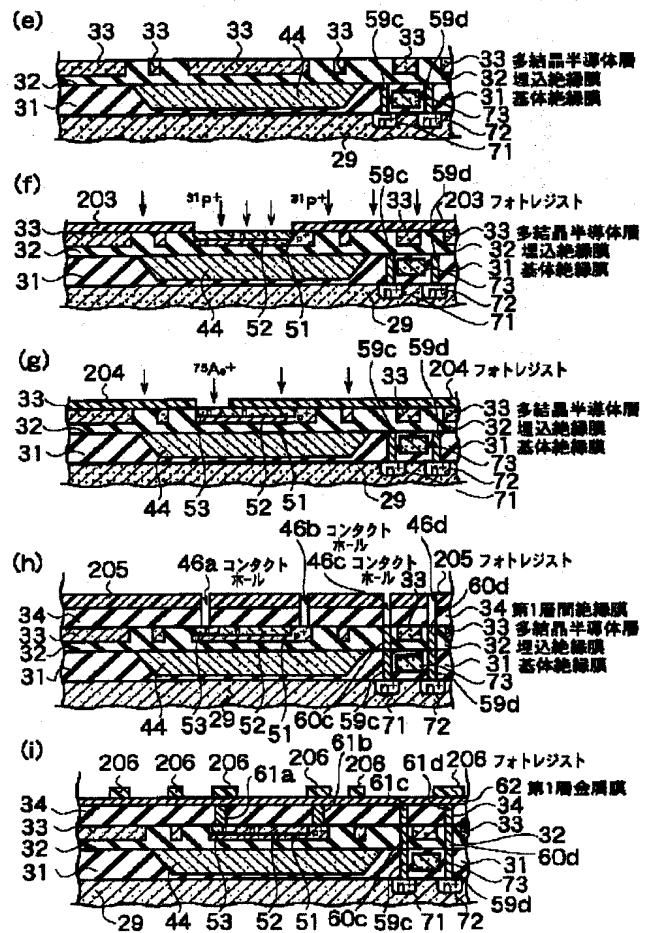
【図3】



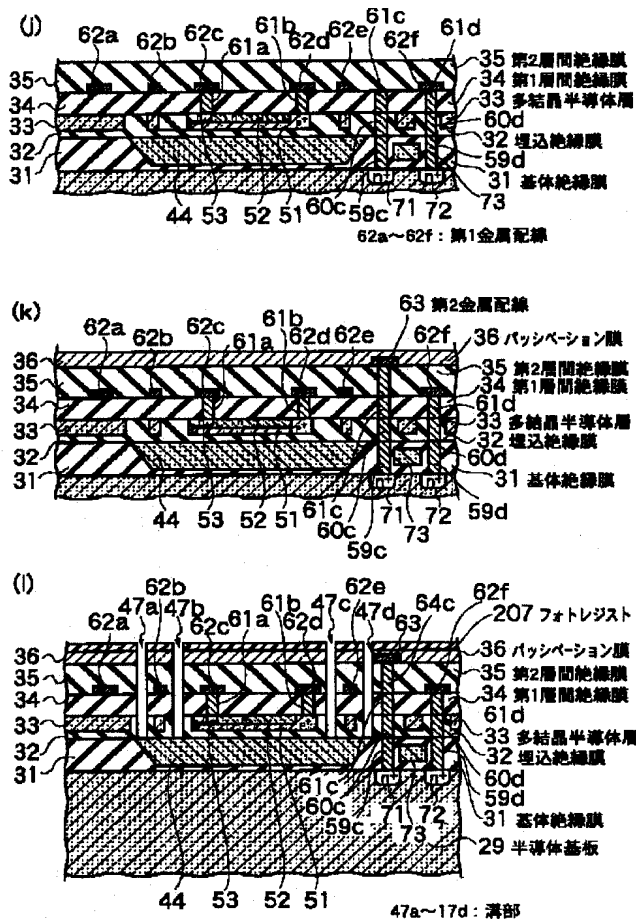
【図5】



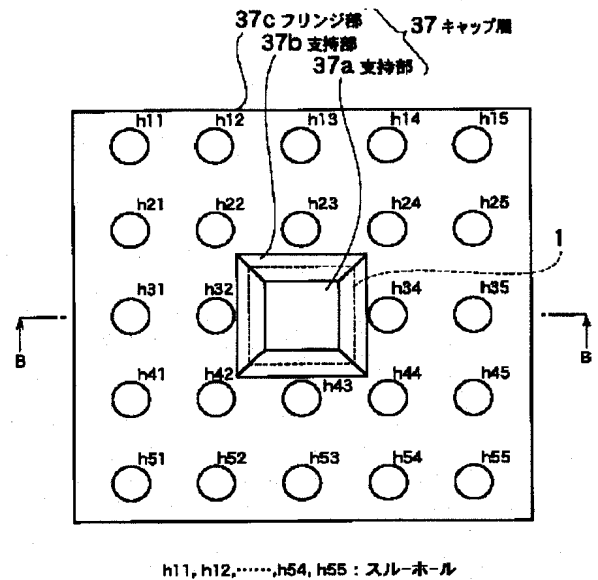
【図6】



【図7】

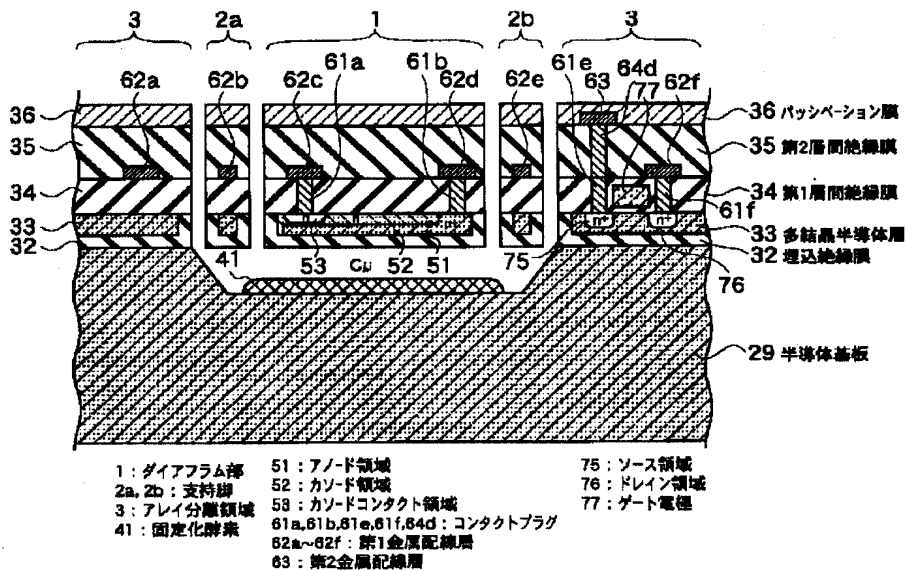


【図11】



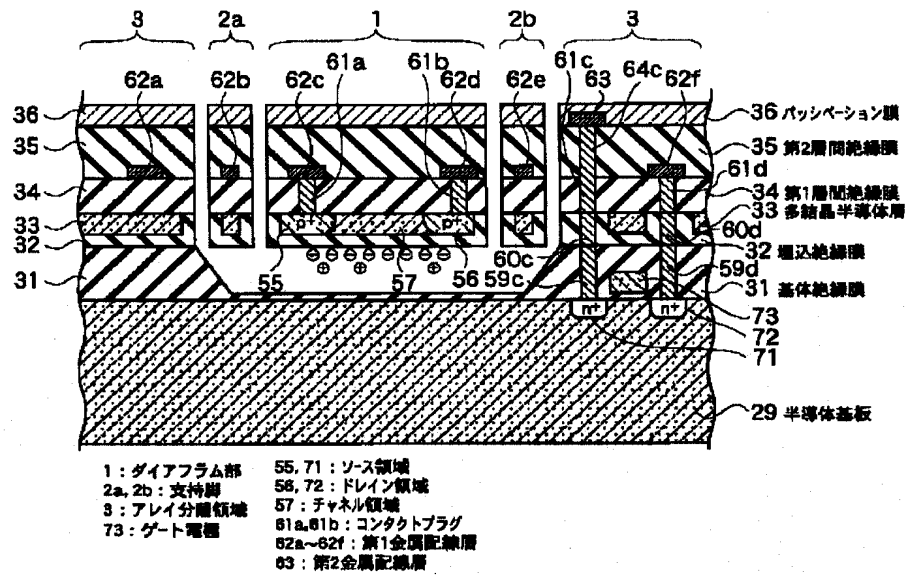
h11, h12, ..., h54, h55 : スルーホール

【図8】

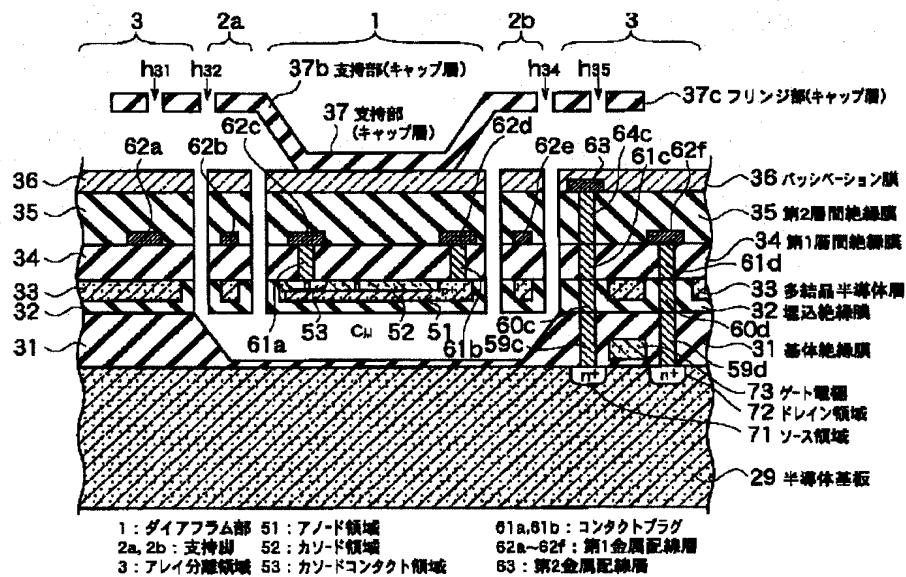


- |             |                                   |            |
|-------------|-----------------------------------|------------|
| 1: ダイアフラム部  | 51: ノード領域                         | 75: ソース領域  |
| 2a, 2b: 支持部 | 52: カソード領域                        | 76: ドレイン領域 |
| 3: アレイ分離領域  | 53: カソードコンタクト領域                   | 77: ゲート電極  |
| 41: 固定化酸素   | 61a, 61b, 61c, 61d, 64d: コンタクトプラグ |            |
|             | 62a~62f: 第1金属配線層                  |            |
|             | 63: 第2金属配線層                       |            |

【図9】

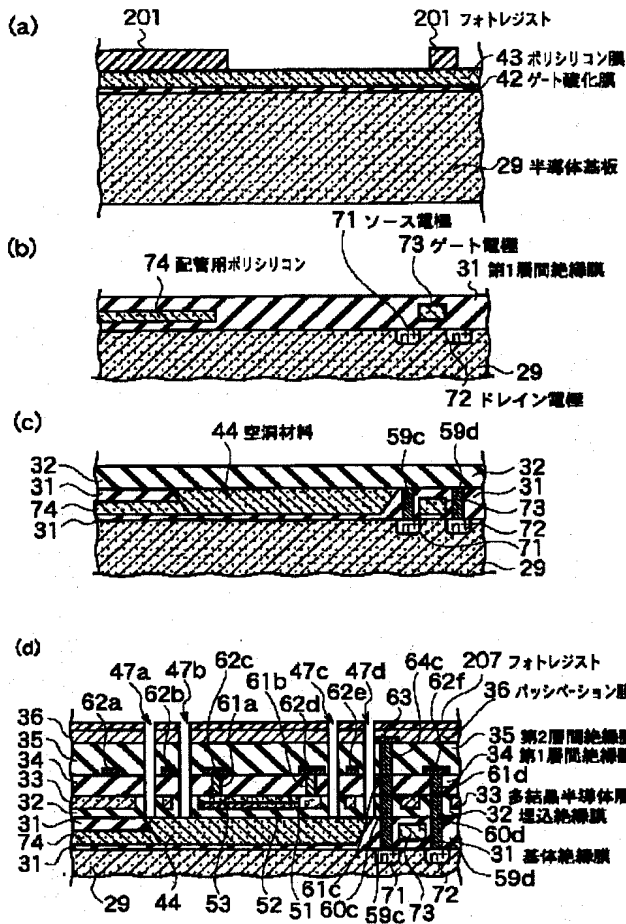


【図10】

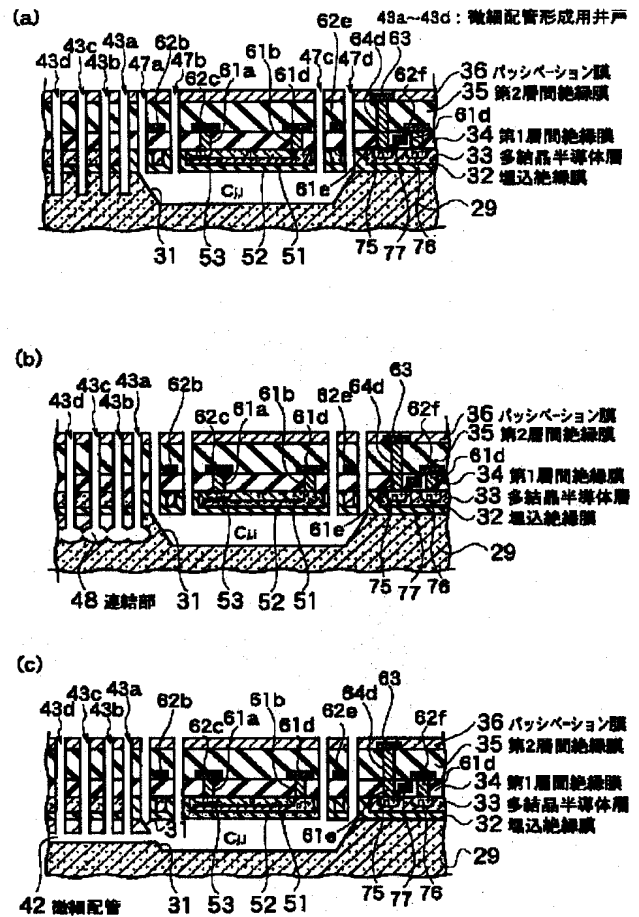


1: ダイアフラム部 51: アノード領域 61a~61d: コンタクトプラグ  
 2a, 2b: 支持脚 52: カソード領域 62a~62f: 第1金属配線層  
 3: アレイ分離領域 53: カソードコンタクト領域 63: 第2金属配線層  
 64c: 第3金属配線層  
 81: 上部電極  
 82: 下部電極

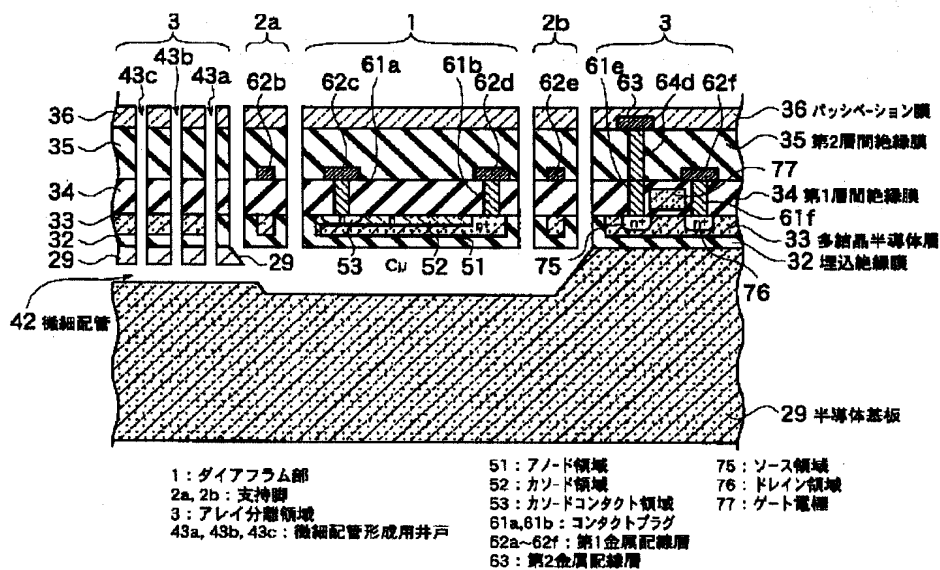
【図 14】



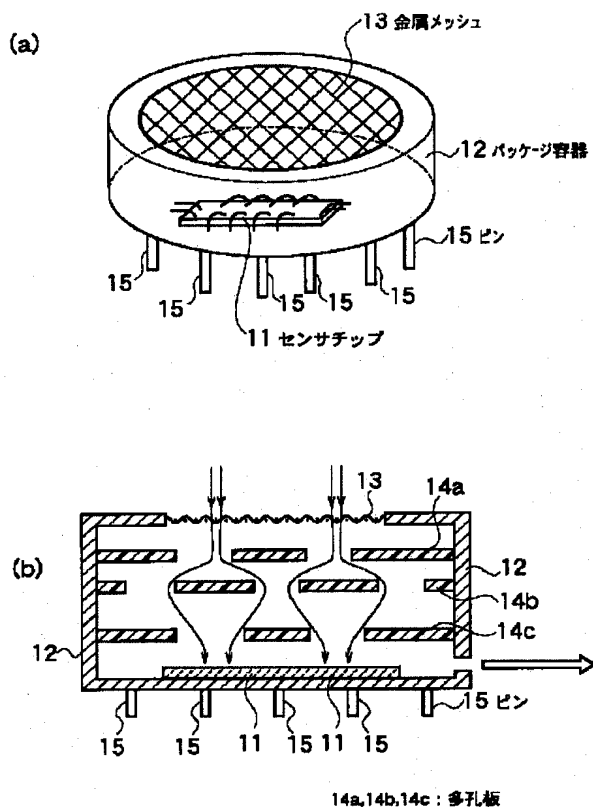
【図 16】



【図 15】



【図 17】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

G 0 1 N 33/18  
33/483G 0 1 N 33/483  
27/30F  
3 0 1 R  
3 0 1 L  
3 0 1 W

(72) 発明者 舟木 英之  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

(72) 発明者 藤原 郁夫  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

(72) 発明者 真塩 尚哉  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

(72) 発明者 飯田 義典  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

F ターム (参考) 2G045 CB01 CB21 DB03 DB22 FB01  
FB05 FB11 FB13 FB15 GC15  
JA04 JA07  
2G054 AA01 AA02 CA03 CA20 CA28  
CE02 EA02 GE09 JA01 JA04  
4B029 AA07 FA11